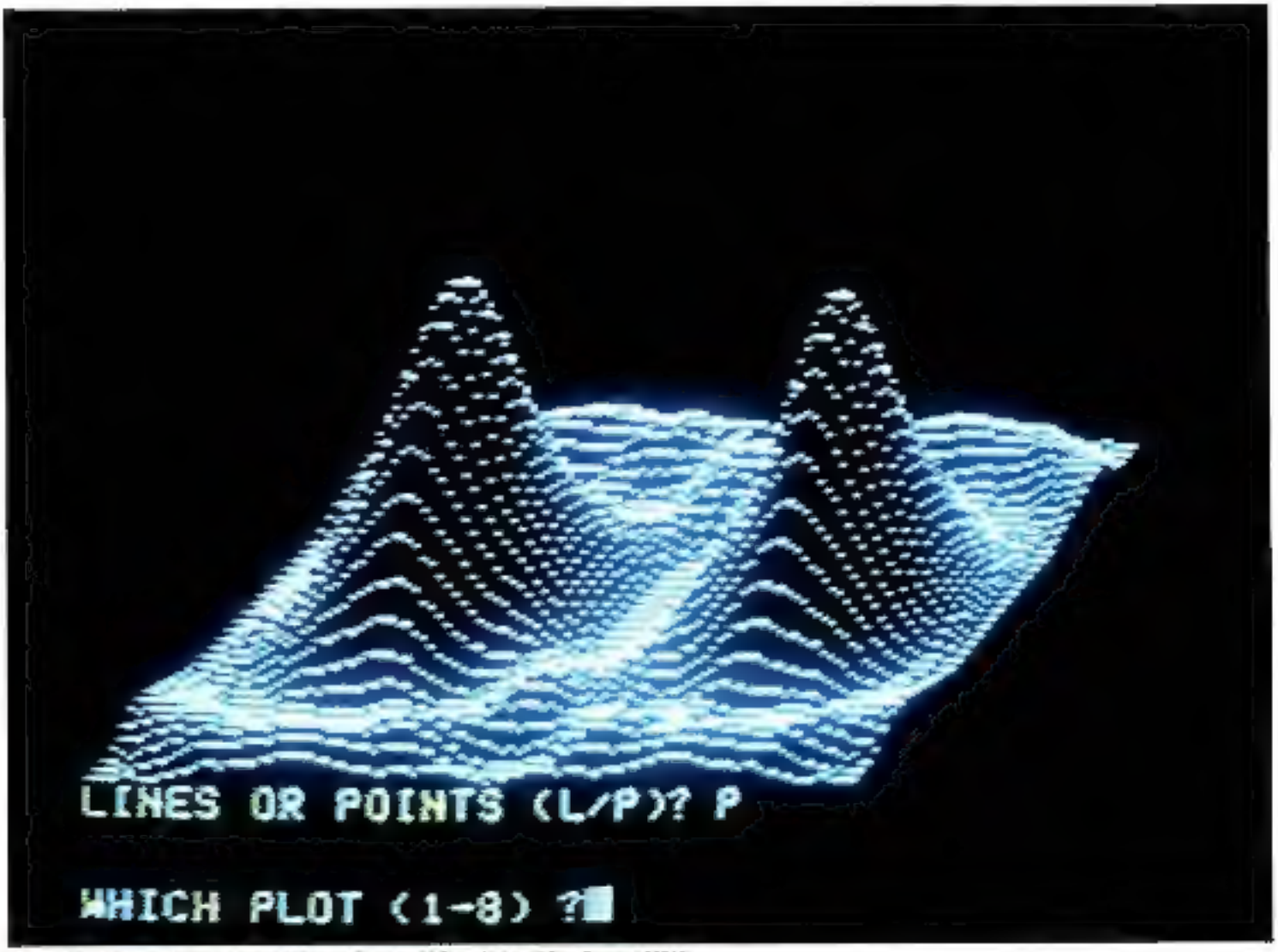
MICRO SYSTEMES

MICROPROCESSEURS / MICRO-ORDINATEURS / INFORMATIQUE APPLIQUÉE

N° 1 Bimestriel – Septembre/Octobre 1978 **10** F



Suisse 4,50 Fs - Canada 2,50 Dol. - Asie 2 100 Lires - Espagne 130 Pes - Algérie 10 Dir. - Tunisie 1 200 Mi.

PENTASONIC PRESENTE

le kit d'initiation du 6800 MOTOROLA

6800

Ce dernier vous permet d'apprendre la technique du microprocesseur, d'élaborer un programme, de le modifier, de le tester ou de mettre en œuvre les dizaines d'applications qui sont parues sur ce microprocesseur aux Etats-Unis
Ce kit MKII comprend deux cartes reliées par un câble méplat et :

1. 1 microprocesseur 6800
2. 1K octets de RAM
3. 2 interfaces de série parallèle P16
4. 1 interface de sortie série ACIA
5. 1 horloge biphase
6. 1 K de ROM (L. Bug)
7. 4 supports libres pour adjonction de 512 octets de RAM
8. 6 afficheurs
9. 1 clavier hexadécimal
10. 8 touches de fonction
11. 1 INTERFACE CASSETTE (utilise n'importe quelle cassette sans modification)
12. 10 boîtiers logiques (TTL - C MOS)

LE MONITEUR L. BUG VOUS PERMET, PAR LES 8 TOUCHES DE FONCTION :

P. Le transfert du contenu des RAM vers la cassette (adresses de début et fin également mises en cassette)
I. Le transfert du contenu de la cassette dans RAM (à l'adresse indiquée sur la bande)
N. De faire avancer le programme PAS-A-PAS
V. D'arrêter le déroulement d'un programme à une adresse déterminée
M. La lecture et l'écriture du contenu d'un des 16 mém.
E. D'arrêter une de ses 7 fonctions pour en exécuter une autre
G. La lecture de tous les registres internes
R. GO programme

LE KIT MKII :
1 674 F (H.T.)
soit 1 968 F TTC

CLUB 6800 Ce club est accessible gratuitement la première année à tous les possesseurs du MKII. Il consiste à faire circuler des programmes conçus par PENTASONIC ou d'autres membres du club, et à les diffuser.

Un nouveau système d'initiation du 6800 "Made in France"

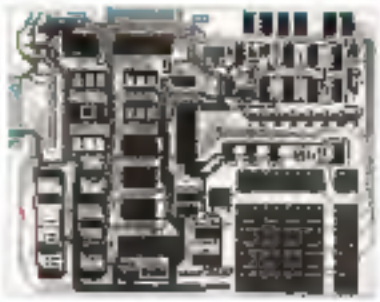
6800

Ce système développé à partir du SFF 96000 de SESCO, ensemble source du 6800 MOTOROLA, est proposé sous la forme d'une carte unique regroupant toutes les fonctions du MK II avec en plus :

- Touches professionnelles
- Chgt fréquence horloge (par strap)
- Accès direct à la mémoire
- Possibilité de monter 6 K de REPROM
- Générateur sur la carte (Baud-rates)

Notice d'utilisation en français

PRIX 2125 F TTC



Le 6502 fait son apparition en France, avec VIM 1

6502

RAM : 1 K avec extension à 4 K sur la carte
CLAVIER : 26 touches alphas
CASSETTE : interface avec 2 vitesses programmables 135 bauds et 1200 bauds
Alimentation 5 Volts, 2 Amp.
TIMERS PROGRAMMABLE.
ROM/PROM 32 K SUR LE KIT.
Interface entrée/sortie : **80 lignes avec extension jusqu'à 70**
MONITEUR 4 K BYTES.

Manuel en français

PERMET DE GERER DIRECTEMENT UNE TELETYPE OU UN INTERFACE VIDEO.

PRIX 2350 F TTC

EN OPTION
PROM BASIC

SUITE DE LA PUBLICITE PENTASONIC PAGES 4 et 5

Sommaire

	Pages
Editorial	9
Initiation :	
Initiation aux microprocesseurs	11
Le Basic	31
Six leçons pour programmer	51
L'Unité Arithmétique et Logique	79
Etude :	
Générateur de fonctions à microprocesseur	21
Les convertisseurs Digital/Analogique	28
Réalisations :	
Alarme antivol temporisée à microprocesseur	57
Système de vérification des mémoires mortes	95
Programme :	
Les signes du zodiaque	36
Composants :	
La famille de micro-ordinateurs intégrés MCS 48 : 8048 - 8049 - 8748 - 8035 - 8039	41
Instructions du 8048	48
Systèmes :	
Le micro-ordinateur APPLE-II	69
Le micro-ordinateur NASCOM 1	73
Jeux sur micro-ordinateur :	
Le jeu de « Startrek »	98
Technologie :	
Les transistors V-MOS	89
Divers :	
Séminaire Micro-Systèmes - Sybex	35
Abonnement	40
La cybernétique	77
Informations	102

« La loi du 11 mars 1957 n'autorisant aux termes des alinéas 2 et 3 de l'article 41, d'une part que « les copies ou reproductions strictement réservées à l'usage privé du copiste et non destinées à une utilisation collective » et, d'autre part, que les analyses et les courtes citations dans un but d'exemple et d'illustration, « toute représentation ou reproduction intégrale, ou partielle, faite sans le consentement de l'auteur ou de ses ayants droit ou ayants cause, est illicite » (alinéa premier de l'article 40). Cette représentation ou reproduction, par quelque procédé que ce soit, constituerait donc une contrefaçon sanctionnée par les articles 425 et suivants du Code Pénal. »

MICRO SYSTEMES

Notre couverture :

Le microprocesseur 6800 de Motorola. (Photo Documentation).

Une fonction de Bessel réalisée sur le micro-ordinateur Apple II (Semtron).

Président-directeur général,
Directeur de la publication :
Jean-Pierre Ventillard

Rédacteur en chef :
Alain Taillias

Comité de rédaction :
Jean-Michel Cour — André Duris
Jean Fremeau — Jose Wunegue.

Rédaction :
15, rue de la Paix, 75002 Paris
Tél. : 296.46.97

Maquette : François Collet.

Publicité :
S.P.E. Directeur : M. Bonvarlet
Tél. : 296.46.97

Abonnements :
2 à 12, rue de Bellevue
75940 Paris Cedex 19
Tél. : 200.33.05
1 an (6 numéros) : 45 F (France)
70 F (Etranger)

Société Parisienne d'Edition
Société anonyme au capital de 1 050 000 F
Siège social : 43, rue de Dunkerque, 75010 Paris
Direction - Administration - Ventes
2 à 12, rue de Bellevue, 75940 Paris Cedex 19
Tél. : 200.33.05 - Télex PGV 230472 F

Copyright 1978 — Société Parisienne d'Edition

Dépôt légal 3e trimestre 78
N° édition : 644
Diffusée par SAEM Transports Presse
Imprimerie : La Haye-Mureaux

MicroSystèmes décline toute responsabilité quant aux opinions formulées dans les articles. Celles-ci n'engagent que leurs auteurs.

PENTASONIC

MULTIMETRES DISPONIBLES 395 F

cablage & outillage

FERS A SOUDER JBC

25 W, crayon, panne fine	31,50
40 W, panne coiffe	46,85
Panne fine pour 40 W	16,20
Résistance de rechange 25 W	42,10
40 W	30,00
Support de fer	25,30
Panne CI	114,45
Fer à appui de soudure	191,50
Baguette à cuire (1 m)	0,20
Soudure 10/10 60 % le m	0,90

PINCES CROCO

Petit modèle	2,20
Grand modèle	2,70

FORETS ACIER RAPIDE

Ø 0,8 ... 3,40 - Ø 1 mm 2,70

ONDE FIL (style simple)
Court 13,50 - Long 18,50

PINCE POUR TESTER LES CI

10 Broches	33,60
28 broches	73,20
40 broches	86,00

CABLES ET FIL

Rilsan 1 cond.	1,50
2 cond.	2,10
4 cond.	2,50
Fil HP	2,70
Fil câblage (5 m)	2,10
Fil 18 câblé en nappe	5,80

OUTILLAGE

PINCE COUPANTE
Micro (pour pas 2,54) 38,00

PINCE PLATE
Micro (pour pas 2,54) 39,00

TOURNEVIS

Long	4,70
Moyen	4,00
Court	3,80
Cruciforme	4,80

PERCEUSE

Travail doux	16,50
Travail soudé	19,50
Pignon Queue	17,50

PENCE

Courbe	54,90
Plate	49,00

JEU DE TOURNEVIS
Montage 17,00
Réglage 21,00

commutation

CONTACTEURS ROTATIFS
1 x 12, 2 x 6, 3 x 4, 4 x 3 8,80

ROTACTEURS A GALETTES
Galet 1 sec. 7,90
Montage possible de 4 galettes
1 x 12, 2 x 6, 3 x 4, 4 x 3 7,50

INTERRUPTEURS

2 positions fugitives	8,70
2 positions stables	8,80
3 positions dont 1 fugitive	11,50
Double	8,60
Simple	6,50

BOUTONS POUSSOIRS
Ferme au repos 2,70
Ouvert au repos 2,70

INTER A GLISSIERE
2 positions doubles 2,30

BOUTONS POUSSOIRS EN BARRE
Inverseur 6,50
Décalage pour interdépendant de 2, 3 ou 6 3,00
BOUTONS 0,60

RELAIS SIEMENS

2 RT 6 V	21,00
12 V	21,00
2 RT 24 V	23,00
48 V	23,00

ROUES CODEUSES
Codage BCD 34,20
Plaquette, les 2 5,00
Codage décimal 34,20

COMMUTATEUR PAR CI
En boîte de circuit intégré
7 inter 24,20

REED
5 V - 0,3 A / T 16,50
5 V - 1 A / T 28,00

CLAVIER TYPE MACHINE A CALCULER
Matrice 5x3
Prix **43 F**
TYPE HEXA DECIMALES
Touches séparées
Prix 80 F

V/MOS
Manuel d'application en tous les composants V/MOS chez PENTASONIC
AUPU 2 x 40 W avec VN 66 AF
Prix du VN 66 AF 34,80

Le coin de l'actif bizarre

REFERENCE ET FONCTION				La pièce	Par 10 la pièce	Par 25 la pièce
MC 6800 - Microprocesseur				150,00	138,00	131,00
MC 6809	"			234,00	211,00	197,00
SY 6502	"			153,00	133,00	127,00
SCMP 800	"			128,00	113,00	98,00
SCMP 600	"			148,00	131,00	126,00
MEMOIRES						
2101 - RAM	256 x 4	Statique	250 nS	34,20	28,20	23,00
2102 - RAM	1 024 x 1	Statique	400 nS	34,20	29,20	23,00
2112 - RAM	256 x 4	Statique	450 nS	34,20	29,20	23,00
6810 - RAM	128 x 8	TTL	30 nS	38,10	33,10	43,20
6810 - RAM	1 024 x 1	Statique	450 nS	34,90	29,90	24,90
6810 - RAM	128 x 8	Statique	450 nS	33,10	28,10	24,90
2114 - RAM	1 k x 4	Statique	300 nS	180,00	158,10	147,20
4116 - RAM	16 k x 1	Dynamique	270 ns	276,00	248,00	228,00
INS 8154	RAM I/O	128 x 8	500 nS	86,00		
DM 8578	- ROM	32 x 8	Fusible	25,40	23,00	27,50
DM 74S287	- ROM	256 x 4	Fusible	21,10	21,20	23,20
MM 5204	- EPROM	512 x 8	UV	98,00	93,00	87,00
MM 2758	- EPROM	1 k x 8	UV	154,00	133,00	119,00
MM 2716	- EPROM	2 k x 8	UV	280,00	248,00	224,00
I-BUG (2708)		Moniteur		180,00		
MIK-BUG (6800 LT)		Moniteur		187,00		
PENTA-BUG (2716)		Moniteur		195,00	(Club 6800 Penta)	
Gestion I/C EMR				185,00		
" Cassette EMR				155,00		
" Jeux EMR				155,00		
" Scientifique EMR				185,00		
Basic VIM 1				1 692,00		
INTERFACE						
MM 6820 - PIA				95,30		
MM 6845 - Contrôleur de CRT				312,00		
MM 6850 - ACIA asynchrone				105,10		
MM 6852 - ACIA synchrone				105,80		
MM 6875 - Circuit horloge 6800				58,10		
SFF 96364 - Contrôleur de CRT				225,00		
Doc. et schéma de principe pour 364				30,00		
SY 6522 - PIA + Timers, Latching				155,00		
SY 6532 - RAM I/O + Timers				149,00		
MC 1488 - Porte interface RS 232				60,80		
MC 1489 - Porte interface RS 232				61,60		
MC 3341 - Quad Memory Driver				23,20		
MC 4315 - Synchronous 4 Bits Binary Counter				53,30		
MC 6852 - Monostable de précision				38,80		
MC 14536 - Programmable Timer				57,90		
MC 14538 - Dual monostable				23,40		
MC 14539 - Dual 4 Channel Digital Mixer				74,00		

CONNEXIONS

Support à wrapper (pour wrapping)

Support de transistors

TO 18 (genre BC 108)	1,30
TO 5 (genre 2N55)	1,90

CONNECTEUR pour MK2 PIA 45,90
— pour BUS 32,00
EMR Mâle 80,90 - Femelle 41,00

Connecteurs femelle 2,54

6 contacts	4,50	10 contacts	5,30
15 contacts	6,70	18 contacts	9,60
22 contacts			11,30

Fiche DIN

5 b Mâle			2,80
Femelle	3,20	Embase	1,90
6 b Mâle			2,90
Femelle	2,80	Embase	1,90

Fiche Jack

3,5 Mâle			1,90
Femelle	2,90	Embase	2,50
2,5 Mâle			1,90
Femelle	2,90	Embase	2,50
6,35 Mono Mâle			4,10
Femelle	4,10	Embase	4,20
6,35 Stéréo Mâle			5,10
Femelle	5,10	Embase	5,30

Fiche RCA

Mâle	2,50	Femelle	2,50

Fiche BNC

Mâle	13,20	Embase	13,20

Fiche Banane

Mâle	1,60	Femelle	1,60
Embase à visser			5,80
Embase			0,90

Fiche HP

Mâle	1,70	Femelle	1,90
Embase			1,30
Embase à cosse			2,50
Coupleur de pile 9 V			1,70
Double machine à calculer mâle			2,50

CABLE DE LIAISON POUR MICROPROCESSEUR

Connecteur et câble méplat destiné à effectuer la liaison entre deux supports de circuits intégrés 16 bi.

Vous devez vous spécifier le lon pouvoir entre les deux connecteurs. Coupé selon votre à la demande

Connecteur 14 b	9,80	16 b	11,90
Câble méplat 16 c. le m			9,80
Sertissage produit			

MATERIEL POUR CIRCUITS IMPRIMES OU PROTOS

PERCHLORURE
1 litre 15,80, Sachet (1 l.) 5,50
STYLO « DALO » 17,00

DECALCOMANIES « ALFAC »
Pour perçoir 6 feuilles 14,00
GRILLES Professeur 21x29,7 11,50

PLAQUES STYLE VERO BOARD
100 x 160 pas 2,54 bande 11,40
100 x 160 pas 2,54 pastilles 14,90

BOMBES (pas d'envoi postal)

ISOLANT SPECIAL TNT

Electrolyse 100	31,65
Electrolyse 200	49,95
NETTOYANT Fe	20,55
NETTOYANT antistatique	13,25

CRYSTALIN Rouge

Spécial Tuner	22,70
CRYSTALINE (dilatation de lampe)	14,85
Peinture photo-sensible	50,40

Epoxy - Simple face

150 x 200	80,50
160 x 220	84,00
Cuivrelit	14,70

LE WRAPPING
SYSTEME VECTOR

Outil à wrapper	224,50
Stylo à câbler	83,00
Plaque perforée 115 x 363	36,50
Broches à wrapper 7,44	18,60
1,49	24,30
Fil à wrapper	18,50

Support à wrapper

8 broches	2,90	22 broches	4,20
14 broches	2,50	24 broches	5,80
16 broches	3,60	28 broches	6,10
		40 broches	15,80

Outil à dénuder	96,90
Support composant 14 broches	4,80

KIT PLAQUES DE CONNEXIONS

ACE 200 K	150 broches	170,80
ACE 201 K	450 broches	229,00

Plaques de connexions

ACE 250 L	150 trous	128,00
ACE 240 L	450 trous	83,50

NOUVEAU POINT DE VENTE MICROPROCESSEURS AUX GALERIES LAFAYETTE Stand commodores et machines à écrire TECHNICIEN « PENTASONIC » SUR PLACE

DEMONSTRATION DE CE MATERIEL SUR PLACE

PENTASONIC

POUR NOS ENSEMBLES MICROPROCESSEURS...

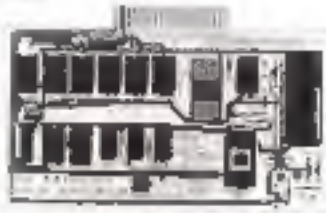
VISUALISATION
avec le SFF 96364 SESCO

MADE IN FRANCE

- 16 lignes de 64 caractères
- Majuscules
- Déplacement du curseur dans les 4 dimensions
- Mode « Roll-up »
- Vitesse réglable jusqu'à 1 200 bauds
- Entrée ASC II
- Entrée parallèle et série
- Effacement ligne

EN KIT

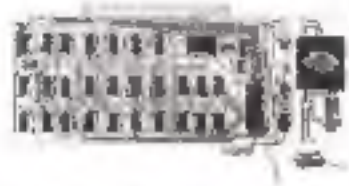
1.512 F



VISUALISATION

MADE IN U.S.A.

- 16 lignes de 64 caractères
- Majuscules et minuscules
- Déplacement du curseur dans les 4 dimensions
- Adressage du curseur en absolu ou relatif
- Mode « Roll-up »
- Alimentation sur carte
- Vitesse 47,5, 110, 300 bauds
- Entrée ASC II ou Baudot
- Entrée parallèle et série
- Effacement ligne et colonne



MONTEE

1.580 F

LE CLUB 6800 PENTASONIC EST HEUREUX DE VOUS FAIRE PART DE LA NAISSANCE DU

PENTABUG-1

qui se présente sous la forme de 2 MM 2708 se montant directement sur les emplacements EPROM du MK II et permet de brancher directement nos cartes de visualisation et nos claviers sur les KITS MAZEL et MK II • Mis au point par M. DAUTREVAUX ..... **195 F TTC**
Comprenant 2 MM 2708 + 1 notice + 1 listing

- Ce moniteur comprend et exécute 26 fonctions
- Il permet en outre d'adresser un ACIA en 8010-8011 et de commander tout interface travaillant en ASC II

NOUVELLES DU CLUB 6800

- 100 PRINT « Bonjour »
- 110 PRINT « Je suis la carte Basic »
- 120 PRINT « Je coûte 1 020 F »
- 130 PRINT « Je suis capable de comprendre tous les programmes en Basic »
- 140 PRINT « Je suis rapide et fiable »

Manuel d'utilisation et de présentation : 30 F

RAPPEL A TOUS LES MEMBRES DU CLUB 6800 :

Veuillez nous envoyer vos nom et adresse, et date d'achat, du Système MK II, MAZEL II, Nouveau 6800, Visu, Clavier.

POUR RECEVOIR GRATUITEMENT LES PROGRAMMES EN BASIC

ET TOUJOURS L'UNITE CENTRALE « EMR ». En ordre de marche ..... 1 150 F TTC

Un nouveau système de développement du 6800

Permettant de travailler directement sur n'importe quel téléviseur

COMPRENANT :

- 1 UNITE CENTRALE EN KIT avec : 1 6800, 2 PIA, 1 MONITEUR MIK BUG, 248 octets de RAM possibilité d'extension de la mémoire à 896 octets + 1 ACIA
- 1 INTERFACE VISU câblée en état de marche, permet 16 lignes de 64 caractères, effacage et déplacement du curseur dans les quatre sens, d'effacer une colonne, une ligne ou l'écran (mode Roll up). Sortie du signal au ASC II ou BAUDOT à 110 ou 300 Bands. Minuscules, majuscules et alphabet grec.
- CLAVIER

L'ENSEMBLE LIVRE avec une documentation SIMPLE COMPLETE : manuel de programmation en français, description technique en français, l'ebook livre d'applications MOTOROLA, manuel d'utilisation et classeur comportant toute la documentation microprocesseur.

PRIX : 3 720 F ttc

Pour fonctionner avec ce nouveau système ou avec le MK2
CARTE INTERFACE "BASIC UNIVERSEL 6800"

COMPRENANT : 8 K octets de mémoire morte + 4 K octets de RAM disponibles. Ce langage permet l'accès à tous les périphériques existants pour microordinateurs, la gestion de stocks et fichiers, les calculs scientifiques (log, sinus, cos, etc.).

PRIX : 1820 F

CLAVIER

- Sortie ASC II parallèle
- Alimentation + 5 V
- 53 touches

PRIX TTC

1.180 F

PENTASONIC

Sur le pont de Grenelle, face à la Maison de la Radio

5, rue Maurice-Bourdet - 75016 PARIS - Tél. 524-23-16

Ouvert tous les jours (sauf dimanche) de 9 h à 12 h 30 et de 14 h à 19 h 30

AUTOBUS : 70-72 (arrêt) - MAISON DE L'O.R.T.F. - METRO : Charles-Michels

PROCEP *PRÉSENTE*

LE P.E.T. DE commodore

MICRO-ORDINATEUR COMPLET, COMPACT, PERFORMANT

Le Kim 1

Ecran.
Lecteur/enregistreur de cassettes standard.
8 K-octets RAM (extension possible jusqu'à 32 K-octets).
Accès au langage machine.
Interface IEEE-488 (HP-IB).
8 lignes d'entrée-sortie programmables.

PRIX : 6 450 F (H.T.)

LE KIM-1

DE MOSTECHNOLOGY INC. (DIVISION DE COMMODORE) LE « BEST-SELLER » DES MICRO-ORDINATEURS SUR UNE CARTE

Prêt à être utilisé (il suffit de lui brancher l'alimentation).
Interfaces pour magnétophone standard et pour télétype avec le software correspondant.
1 K-octets de mémoire RAM et 15 lignes d'entrée-sortie disponibles pour l'utilisateur.
Pas à pas facilitant la mise au point des programmes.
Manuel d'utilisation **en français.**
Bibliothèque importante de programmes.
NOMBREUSES EXTENSIONS : carte mémoire, carte de programmation de mémoires EPROM, micro-imprimante...

PRIX : 1 500 F (H.T.)

LES COMPOSANTS DE LA FAMILLE 6500 DE MOSTECHNOLOGY INC.

- les microprocesseurs 65XX, 8 bits, monotension (+ 5 V), horloge incorporée, deux registres d'index, 13 modes d'adressage (dont adressage indirect pré et post-indexé).
- le VIA 6522 qui comprend en plus des caractéristiques du PIA 6820, deux timers de 16 bits et un registre à décalage de 8 bits.
- le COMBO 6532 qui comprend 128 octets de RAM, 2 ports d'entrée-sortie, un timer et un détecteur de front programmables.

Bon réponse à retourner à : PROCEP 51, rue de la Rivière, B.P. 24, 78420 Carrières-sur-Seine
Tél. : 968.31.97

Raison Sociale .....
Activité .....
Nom et Fonction .....
Adresse .....
.....
Tél .....

Micro-Systèmes

l'informatique à votre portée

avec les ordinateurs "HEATHKIT"

... deux systèmes complets, étudiés spécialement pour vous, techniciens, scientifiques, éducateurs, amateurs avertis, responsables d'entreprises.

• Système H8, mots de 8 bits, avec microprocesseur 8080 A et capacité de mémoire centrale extensible à 32 K mots (RAM statique).

• Système H11, mots de 16 bits, avec microprocesseur LSI 11, et capacité de mémoire centrale extensible à 32 K mots (RAM - MOS statique).

• Nombreux périphériques : Console de visualisation - Perforateur/lecteur de bande - Imprimante DEC LA 36 (30 cps) - Mémoire masse sur cassettes, disques souples - Interfaces I/O séries, parallèles. Ce matériel est livré en KIT* ou en ordre de marche, avec logiciel très complet, comprenant même le Basic 8K (en option - Basic 12 K et gestion fichier) vous permettant de développer vos applications à l'infini.

* Les unités centrales (CPU) sont livrées câblées et testées par HEATHKIT.

Clubs d'utilisateurs - Prix très compétitifs...

... à partir de ***3.460 F*** *(HT)*

Centres de démonstration :
PARIS (6e), 84 Bd Saint-Michel, tél. 326.18.91
LYON (3e), 204 rue Vendôme, tél. (78) 62.03.13

KIT MICRO-ORDINATEUR d'initiation "6800"
Moniteur 1 K ROM - 256 x 8 RAM - Extension à 512 x 8 RAM - Affichage 6 digits, 7 segments - Clavier hexadécimal - Possibilité d'extension cassette, etc. - Livré avec alimentation stabilisée - Manuel en Anglais.

Prix : **1.090 F** (TTC) + port 20 F

COURS sur les MICROPROCESSEURS
Le plus complet à ce prix. 8 chapitres, 600 pages, rédigé en Anglais, assorti d'exemples et d'exercices, à l'aide de 62 composants électroniques (y inclus).

Prix : **820 F** (TTC) + port 10 F

Bon à découper, à adresser à :

FRANCE : Heathkit, 47 rue de la Colonie, 75007 PARIS, tél. 566.25.61
BELGIQUE : Heathkit, 16 Av. du Comte, 1050 BRUXELLES, tél. 344.27.32

Je désire recevoir votre catalogue 16 pages couleurs, en Anglais, contenant tous renseignements sur : ☐ recherche d'emploi

☐ Ordinateurs ☐ Kits ☐ Cours sur les microprocesseurs

Je joins 4 F (timbres en timbres pour frais d'envoi)

Nom, prénom :

N° : Rue :

Code postal : Ville :

SIEMENS

Microprocesseurs : nous avons beaucoup à dire. Et nous le disons en français.

Comme tous les grands pays industrialisés, la France est entrée dans l'ère des microprocesseurs. Mais voici en quoi l'apport de Siemens, entreprise européenne, y est décisif :

■ Siemens est, par contrat, seconde source pour toute la gamme INTEL.

■ Avec plus de 1 900 pages déjà éditées : programme de vente, matériel, logiciel, etc. Siemens facilite votre information en publiant tous ses ouvrages en langue française (liste complète sur demande : voir coupon au bas de cette annonce).

■ Avec un laboratoire en proche banlieue parisienne (Saint-Denis), Siemens facilite votre accès à un outil vital pour le développement des systèmes à microprocesseurs.

■ Dans les mêmes locaux, Siemens assure dès à présent la formation et l'utilisation optimale de matériels d'aide au développement de micro-ordinateurs.

■ Partout en France, le choix des systèmes à microprocesseurs Siemens s'accompagne d'une indiscutable sécurité : pouvoir compter, à tout moment, sur un Service Après Vente de tout premier ordre.

■ Dans chaque région, Siemens met déjà, ou s'apprête à mettre à la disposition de ses clients des Sociétés de Services capables de leur assurer, sur place, l'ensemble de ces prestations.

Qu'il s'agisse de composants microprocesseurs, ou de systèmes d'aide au développement de micro-ordinateurs, vous ne pouvez ignorer les avantages que Siemens, en France, vous offre dans ce domaine. Il vous est facile d'être informé : en retournant le coupon ci-dessous à Siemens S.A. Division Composants B.P. 109 - 93203 ST DENIS CEDEX 1 (Tel. 820 61 30).

Siemens fabrique aujourd'hui les composants de demain.

M.

Fonction

Entreprise

Adresse

Téléphone

☐ souhaite recevoir gratuitement la liste bibliographique complète de vos ouvrages en langue française

☐ souhaite prendre rendez-vous avec l'un de vos ingénieurs commerciaux

☐ souhaite visiter le laboratoire Microprocesseurs de Saint-Denis

Editorial

A quoi sert le progrès s'il ne profite pas à tout le monde ?

Depuis quelque temps déjà, la presse technique ainsi que la presse non spécialisée se fait quotidiennement l'écho de la fantastique révolution technologique que nous impose le développement des microprocesseurs dont l'utilisation conduit au micro-ordinateur à usage personnel.

S'il est un fait certain, que chacun d'entre nous se trouve concerné par ce phénomène nouveau issu directement du progrès technologique, il ne s'agira d'un véritable progrès que dans la mesure où il sera offert à tous la possibilité d'aborder avec un minimum de connaissances de base ce domaine à peine exploré de l'électronique programmée.

Pour parvenir à ce progrès il ne manquait plus qu'une revue qui soit le lieu de rendez-vous de tous ceux qui, comme vous, ont décidé dès à présent, en se tournant vers la logique programmée, de participer efficacement à la construction de notre futur tant dans ses modes de conception de systèmes que dans ses modes de programmation.

Forts de notre longue expérience de la presse technique et en réponse à la demande de nos nombreux lecteurs, nous avons décidé de publier pour la première fois en France une revue consacrée aux microprocesseurs, micro-ordinateurs et à l'informatique appliquée.

Telles sont les raisons qui nous ont amenés à vous proposer aujourd'hui « **Micro-Systèmes** ».

Première revue de micro-informatique en langue française, « Micro-Systèmes » constitue un carrefour entre l'électronique et l'informatique destiné à rassembler l'ensemble des amateurs, professionnels et étudiants qui souhaitent accéder à la réalisation et à la programmation de micro-ordinateurs dans le cadre de leur entreprise ou dans celui de leurs loisirs.

Pour parvenir à une parfaite maîtrise du microprocesseur, la rédaction a décidé d'étudier et de développer pour ses lecteurs des réalisations pratiques dont les performances et la fiabilité auront été testées avant toute publication et pour lesquelles l'implantation du circuit imprimé aura fait l'objet des soins les plus attentifs.

Ainsi, à travers cette revue d'initiation et de développement à la logique programmée dont l'objectif fondamental est d'amener ses lecteurs à la construction de leur propre micro-ordinateur, informaticiens et électroniciens se côtoieront en contribuant par leur ingéniosité au succès d'une rubrique réservée à la publication et à l'échange de leurs programmes.

De la sorte, « Micro-Systèmes » manifeste son désir d'entretenir avec ses lecteurs des relations étroites en maintenant largement ouverte à toutes leurs idées cette revue afin qu'elle devienne le lieu privilégié d'un nouveau mode de pensée à l'égard d'une informatique à usage personnel.

Prévu pour paraître suivant un rythme bimestriel, « Micro-Systèmes » a pu réunir pour la rédaction de ses articles un ensemble de noms prestigieux du monde de la micro-informatique. Par leur collaboration éclairée, nous sommes en mesure de vous proposer aujourd'hui ce premier numéro pour lequel nous vous remercions de l'accueil que vous lui réserverez ainsi qu'aux prochains.

« Micro-Systèmes » est né pour vous et grâce à vous.

Alain TAILLIAR
Rédacteur en Chef

Jean-José WANEGUE
Conseiller Commercial

Nous ne nous arrêtons pas à mi-parcours!

Lorsque nous nous occupons de microprocesseurs, nous savons voir les choses dans leur intégralité.

Primo, nous vous proposons les microprocesseurs intel ; c'est déjà un gage de sérieux.

Secundo, nous mettons à votre service des ingénieurs d'application qui "tiennent la distance".

Cette avance technologique, ce sont notamment les micro-ordinateurs complets intégrés dans un seul boîtier.
Le chef de famille est le 8048/8748. Il possède une A.L.U. de 8 bits, 1 K octets de mémoire morte (ROM ou EPROM), 64 octets de mémoire vive, 27 I/O, un timer de 8 bits, une horloge.
Le grand frère, ou 8049, a des capacités mémoire doublées.
Les 8035 et 8039 sont des 8048 et 8049 sans mémoire morte.
Le dernier né, le 8021, diffère du 8048 par son nombre de broches (28 au lieu de 40), ses 21 I/O, son jeu d'instructions réduit.

53, rue Charles Frerot
94250 Gentilly
tél. 581.00.20 - télex 200 485

CELDIS

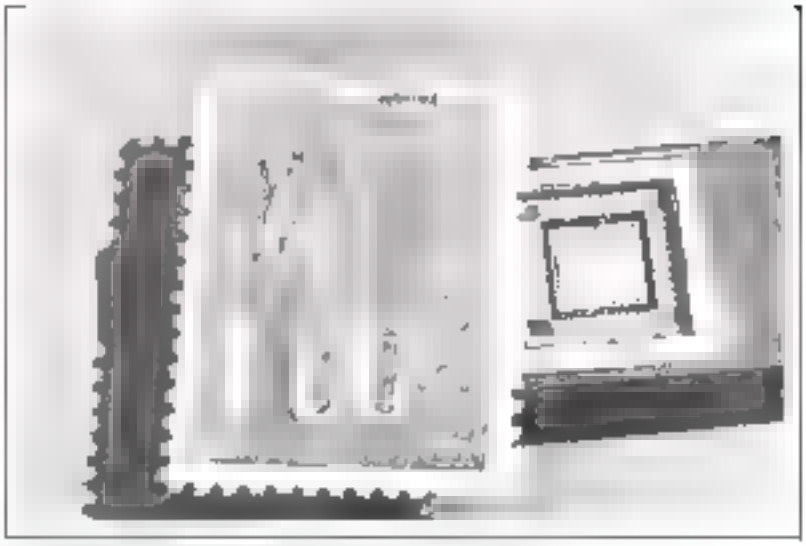
Initiation aux MICROPROCESSEURS

Cet article, organisé en deux parties, constitue un guide simple d'initiation aux microprocesseurs. Il permettra au néophyte d'acquérir une connaissance générale du sujet avant d'aborder l'étude approfondie des micro-ordinateurs.

La première partie traite plus particulièrement de numération binaire, des mémoires, de l'organisation et des structures internes d'un système à microprocesseur.

La seconde, dans le prochain numéro, introduira de façon progressive les modes de programmation et la manière de créer un programme. Nous développerons ensuite le processus d'élaboration d'une application.

A ce stade, nous tenterons de répondre aux deux questions qui viennent à l'esprit lors d'une approche de ce type de réalisation : Par où commencer et quel matériel acheter ?



Micro-ordinateur Micral N (Photo Réalisation)

INTRODUCTION

Les premiers circuits intégrés étaient destinés à remplacer des circuits complexes de résistances, de condensateurs, de diodes et de transistors montés sur une carte à câblage imprimé. Les techniques d'intégration ont été appliquées aux deux grandes branches de l'électronique : les circuits analogiques et les circuits digitaux ou numériques. Un amplificateur haute fidélité est un exemple de circuit analogique car il amplifie un signal phonographique ou radiophonique sans altérer sa fréquence et la tonalité du son. Les circuits (logiques) digitaux sont utilisés dans les ordinateurs et les microprocesseurs ; ils travaillent sur des représentations de l'information constituées par des niveaux ou des états de signaux. Leur comportement est analogue à celui d'un automobiliste qui réagit aux trois états : rouge, orange, vert — d'un feu tricolore de signalisation routière (l'intensité de la lumière est sans importance à condition que l'automobiliste puisse distinguer la couleur de la lampe qui est allumée).

Les circuits digitaux ont été les premiers à être intégrés car ce sont des montages relativement simples. Les premiers CI regroupaient sur une petite plaquette de silicium une dizaine de composants discrets interconnectés en une porte logique qui est le circuit de base de la technique digitale.

Les techniques d'intégration ont évolué ; leurs performances et le nombre de composants élémentaires d'un CI décuple pratiquement tous les cinq ans (fig. 1). Cependant, cette branche de l'électronique n'est surtout orientée vers la production de CI spécialisés pour des usages particuliers. Au contraire, dans les microprocesseurs, la grande complexité des circuits est mise au service de leur souplesse d'emploi. **Pour changer d'application, il suffit de modifier un programme d'instructions comme dans un petit ordinateur.**

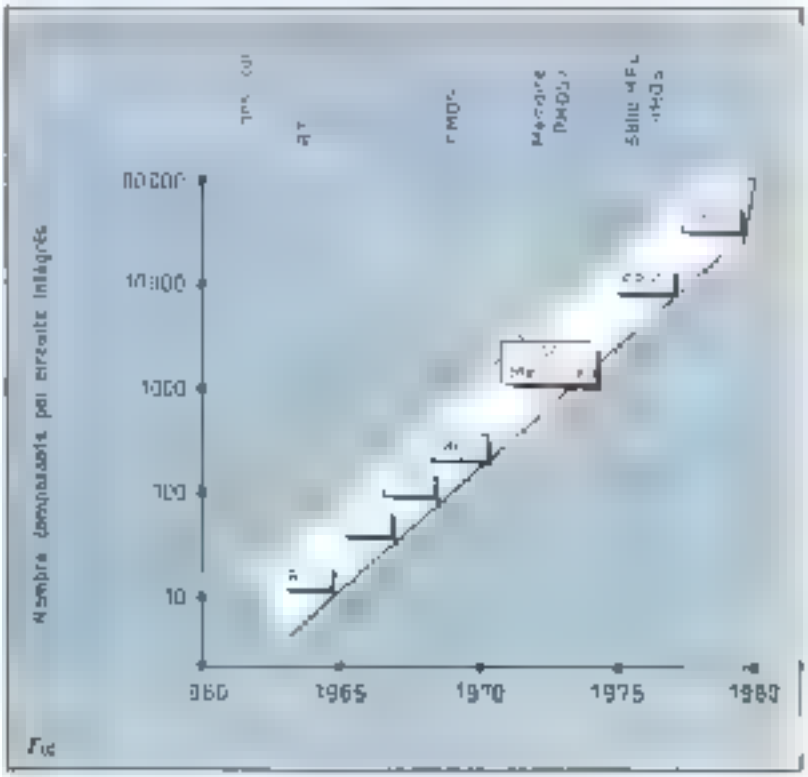


Fig. 1 : Evolution de la complexité des circuits intégrés.

Les figures 2, 3 et 4 montrent comment le même microprocesseur peut remplacer un circuit diviseur par dix, un comparateur et une matrice de décodage. Pour réaliser ces fonctions sans un ordinateur, il faut établir des connexions physiques spécifiques entre les différents circuits. Avec un microprocesseur, il suffit de combiner des programmes. Ainsi, pour une séquence comprenant une division suivie d'une comparaison et d'un décodage, le programme du microprocesseur serait constitué du programme « suivi du programme > puis du programme IF.

Un même microprocesseur peut ainsi effectuer une succession de tâches différentes, chacune étant commandée par un logiciel écrit par l'utilisateur. En faisant disparaître un grand nombre de circuits en logique câblée, on obtient de plus une réduction du nombre de CI nécessaires permettant d'abaisser très sensiblement le coût de la partie matérielle du système.

Pour l'avenir, la fabrication en très grande série des microprocesseurs devrait entraîner de nouvelles baisses de prix qui permettront leur emploi en remplacement de logiques câblées utilisant plus de 20 CI, même pour des systèmes produits à des millions d'exemplaires. En effet, peu de CI spécialisés pourront offrir à des prix aussi bas une fiabilité et une souplesse d'emploi équivalentes à celles des microprocesseurs.

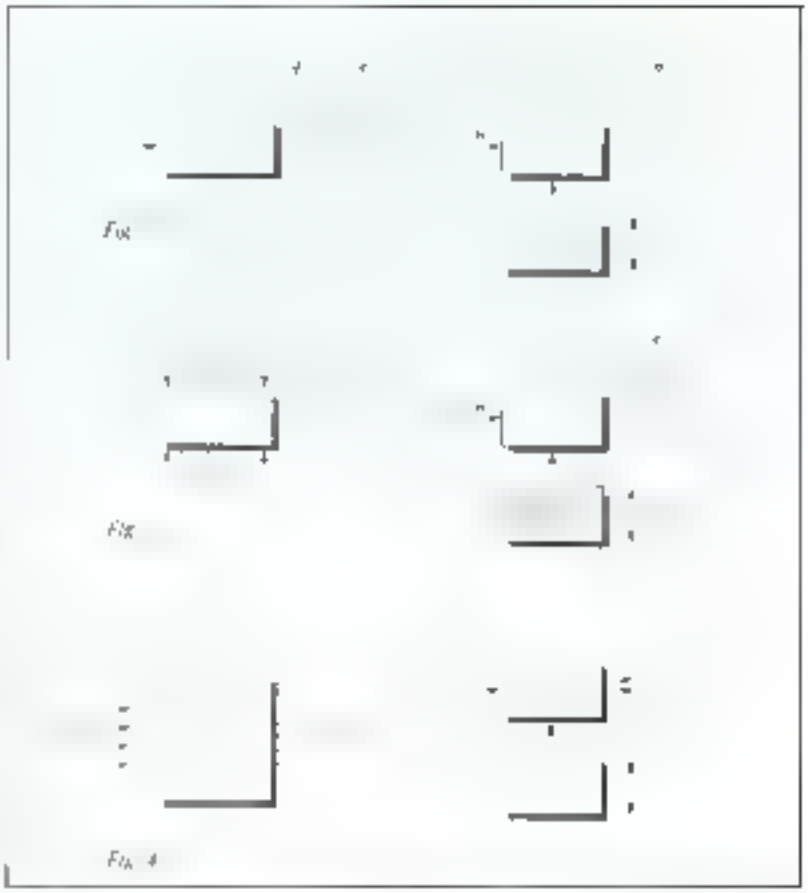


Fig. 4

La numération binaire

Le système binaire est le plus simple de tous, il ne fait intervenir que deux éléments, « 0 » et « 1 », que l'on peut combiner en séquences de « mots ». Les propriétés du système binaire sont parfaitement adaptées à la logique digitale.

Dans le système digital, on travaille sur deux niveaux de tension représentant chacun un état logique. Par exemple, 0 V ou la référence de masse du système pour un état logique « 0 » et + 5 V pour un état logique « 1 ». Un dispositif digital est par exemple un interrupteur branché en série avec une lampe de façon que quand l'interrupteur est ouvert la lampe s'éteint (état logique « 0 ») et quand l'interrupteur est fermé la lampe s'allume (état logique « 1 »).

Si l'on prend maintenant quatre circuits identiques et indépendants comprenant chacun une lampe et un interrupteur en série, il est évident qu'on peut allumer à volonté certaines lampes sans en éteindre d'autres (fig. 5). Cette opération consiste à faire un code à choix multiples. On peut facilement déterminer le nombre de choix possibles, c'est-à-dire de combinaisons de lampes allumées et éteintes.

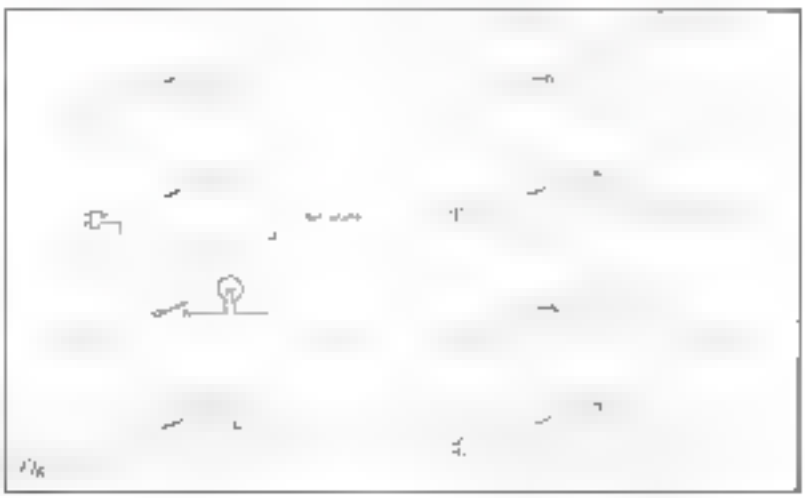


Fig. 5

0000 toutes les lampes éteintes
0001 lampe 1 allumée, les autres éteintes
0010 lampe 2 allumée, les autres éteintes
0011 lampes 1 et 2 allumées, les autres éteintes
0100 lampe 3 allumée, les autres éteintes
0101 lampes 1 et 3 allumées, les autres éteintes
0110 lampes 2 et 3 allumées, les autres éteintes
0111 lampes 1, 2 et 3 allumées, lampe 4 éteinte

1000 lampe 4 allumée, les autres éteintes
1001 lampes 1 et 4 allumées, les autres éteintes
1010 lampes 2 et 4 allumées, les autres éteintes
1011 lampes 1, 2 et 4 allumées, lampe 3 éteinte
1100 lampes 3 et 4 allumées, les autres éteintes
1101 lampes 1, 3 et 4 allumées, lampe 2 éteinte
1110 lampes 2, 3 et 4 allumées, lampe 1 éteinte
1111 toutes les lampes allumées

On constate qu'il y a au total 16 combinaisons possibles.

Oublions maintenant les lampes pour concentrer notre attention sur la notation symbolique 0 et 1 qui représente des états logiques opposés, par exemple allumé ou éteint, 0 V masse ou 5 V bas ou haut, etc. Chaque position (élément ou colonne) du code est appelée bit (binary digit) et définit un état logique de cette position. Le code binaire est donc une combinaison de 1 et de 0. Ainsi les quatre bits sont des « 1 » On pourrait composer à partir de chaque position des 5 autres combinaisons du code numérique. Dans l'exemple précédent les quatre bits du mot constituent une entité. En ajoutant deux autres bits on obtient un mot de six bits par exemple 1 0 . Ces mots sont essentiels car ils permettent de communiquer avec les périphériques digitaux et notamment [illegible].

Pour connaître le nombre de combinaisons possibles d'un code d'un certain nombre de bits, il n'est pas nécessaire de les écrire toutes et de les compter car la formule suivante permet de les calculer

Nombre total de combinaisons = (base)^(Nb de bits)

Dans le système binaire dont la base est 2, cette relation nous donne pour un mot à 4 bits, nombre total de combinaisons = 2^4 = 16. Dans le système décimal dont la base est 10 (chiffres de 0 à 9) avec même longueur de mot on aurait : 10^4 = 10 000 combinaisons, soit les nombres 0 à 9999.

Les mots binaires les plus utilisés ont des longueurs de 4, 8, 16 et 32 bits. Les microprocesseurs utilisent actuellement des mots de 4, 8 et 16 bits, et bientôt 32 bits. Le mot de 8 bits ou « octet » est important pour les microprocesseurs car les bus de données l'utilisent généralement. Si on les associe en parallèle et si on utilise les 4256 combinaisons possibles, le microprocesseur lit le mot binaire présent pendant un temps minimal.

Le système binaire est avantageux pour l'électronique digitale car il est facile de réaliser des circuits à deux états stables. La possibilité d'enregistrer des états binaires est en outre intéressante (il s'agit d'une mémoire) et quelque chose d'équivalent n'apparaîtra pas avant quelques années, mais elle est réalisable.

Tableau I

Nombre de mots différents pour un code binaire de longueur donnée.

Nombre de bits	Nombre (approximatif) de mots différents
	$2 = 2$
2	$2^2 = 4$
3	$2^3 = 8$
4	$2^4 = 16$
5	$2^5 = 32$
6	$2^6 = 64$
7	$2^7 = 128$
8	$2^8 = 256$
9	$2^9 = 512$
10	$2^{10} = 1024$
12	$2^{12} = 4096$
13	$2^{13} = 8192$
14	$2^{14} = 16384$
15	$2^{15} = 32768$
16	$2^{16} = 65536$

Les mémoires

Les mémoires sont des circuits électroniques permettant d'enregistrer des mots binaires sous une forme permanente (dans le cas des PROM *) ou sous une forme temporaire (dans le cas des RAM *).

Les mots binaires sont utilisés par le microprocesseur pour communiquer avec l'extérieur et pour recevoir ses instructions. Il faut donc que ces mots binaires soient mémorisés quelque part pour que le microprocesseur se « souvienne » de ce qu'il a à faire. Les mémoires sont généralement des matrices de dispositifs à semi-conducteurs (état solide) que l'on peut se représenter comme des rayons de ruche dont les alvéoles sont pleins ou vides (un ou zéro).

Les mémoires se divisent en deux grandes catégories : les mémoires mortes à contenu permanent ou ROM et les mémoires vives à accès aléatoire ou RAM. Dans une ROM la configuration des bits (uniquement chargée est immuable. Dans une RAM, des bits « 0 » et « 1 » peuvent être chargés (ou écrits), puis examinés (ou lus) ultérieurement et éventuellement modifiés. Les mémoires vives sont également appelées mémoires à « lecture-écriture » car elles permettent d'accéder sélectivement à chacune de leurs cellules en mode lecture ou en mode écriture.

Pour accéder à une information enregistrée il faut qu'elle soit adressable. Pour illustrer le problème supposons qu'il existe dans une ville deux rues parallèles de quatre maisons chacune (fig. 6). Dans chaque maison les lumières peuvent être allumées ou éteintes (deux états) ce qui correspond à huit mots de quatre bits.

Dans le système décimal ce code (0

Bit : abréviation de Binary Digit.

* RAM : Read Only Memory ou Mémoire morte.

* PROM : Random Access Memory ou Mémoire vive.

les lignes sont allumées dans les deux premières maisons et éteintes dans la troisième. Si on [illegible] représente en code binaire à 3 bits, cela donne le code binaire 110. De même dans [illegible] les maisons sont éclairées le code binaire est 011. Si on veut [illegible] système aux deux états, il faut [illegible] pour identifier le mot qu'elle contient.

Codes d'adressage des cases

On dit qu'une telle mémoire d'une capacité de huits mots de quatre bits a pour organisation de 8 × 4. L'exemple illustré schématiquement sur la figure 7

Première	[illegible]
[illegible]	[illegible]
Troisième	[illegible]
Quatrième	[illegible]
Cinquième	[illegible]
Sixième	[illegible]
Septième	[illegible]
[illegible]	[illegible]

A ce stade il est essentiel de faire la différence entre l'adresse [illegible] qui sont les lignes des mots binaires. Par exemple l'adresse de la sixième case est 5, son contenu est [illegible]

[illegible] Jamais vous ne trouverez [illegible] pour désigner qu'il y a huit cases de quatre bits, car [illegible] sont pleins de trous, et les autres sites comme les maisons de la Fig. 6 étaient allumés. Il [illegible]

Bien à celles d'une [illegible] A est il s'agit d'une mémoire dont chaque mot est composé [illegible]

La différence entre les RAM et les ROM est que les premières sont [illegible] laquelle est [illegible] signal [illegible] RAM autorisant [illegible] mots sont [illegible] [illegible] Selon [illegible] de type, le contenu de l'emplacement [illegible] est modifié [illegible] Dans le cas d'une ROM, le contenu n'est pas [illegible]

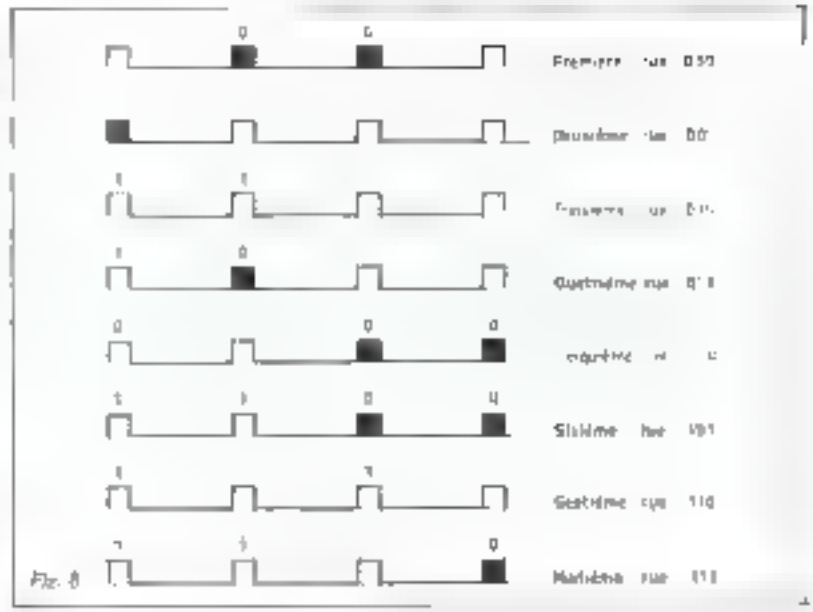


Fig. 6

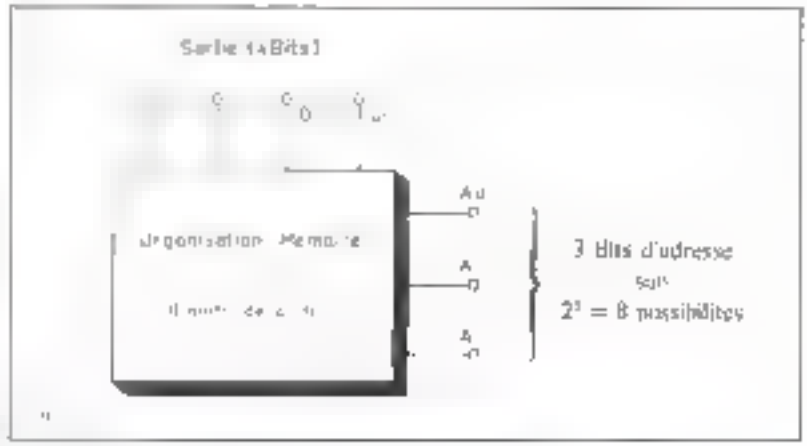


Fig. [illegible]

Tableau II

Spécifications et organisation des mémoires mortes et vives

	Type de Mémoire	
CAPACITE	ROM	RAM
1024 bits	128 mots de 8 bits 256 mots de 4 bits	128 mots de 8 bits 256 mots de 4 bits 1024 mots de 1 bit
4096 bits	512 mots de 8 bits 1024 mots de 4 bits	1024 mots de 4 bits 4096 mots de 1 bit
8192 bits	1024 mots de 8 bits	
16 384 bits	2048 mots de 8 bits	16 384 mots de 1 bit
32 768 bits	4096 mots de 8 bits	32 768 mots de 1 bit

Il existe en outre plusieurs types de RAM ou de ROM. Les RAM, par exemple peuvent être à fonctionnement statique ou dynamique. Une mémoire statique est une matrice de bascules (flip-flop) qui prennent un état stable en consommant une certaine puissance pour conserver l'information mémorisée. Cette information peut être modifiée au cours d'un cycle d'écriture mais en cas de panne d'alimentation tout le contenu de la mémoire est perdu (on dit qu'elle est « volatile »).

Dans une RAM dynamique l'information est mémorisée sous une capacité sous la forme d'une charge électrique. A cause des courants de fuite, cette charge doit être périodiquement reconstituée par une opération de « **rafraîchissement** » de l'information. D'une manière générale, les mémoires statiques sont plus simples à utiliser mais n'ont pas une aussi grande capacité de stockage que les mémoires dynamiques.

Organisation

Le microprocesseur est organisé pour extraire des instructions de sa mémoire de programme au cours de cycles d'acquisition, et pour agir à ces instructions au cours de cycles d'exécution.

Les microprocesseurs sont généralement organisés pour des mots de huit bits ou « octets » et nous supposerons que c'est le cas pour les besoins de l'explication. Le microprocesseur travaille donc sur des ensembles de huit bits qui sont transmis en même temps sur huit lignes ou allées constituant ce que l'on appelle un « **bus de données** ».

Notre microprocesseur reçoit donc ces groupes de bits, les mémorise et les renvoie sous forme de résultats. Ainsi, le microprocesseur de la **figure 8** comporte huit lignes bidirectionnelles de réception et d'émission des bits d'information.

Le problème de la transmission des données étant résolu, il reste encore celui de l'adressage qui consiste à savoir à quels endroits les données doivent être prises ou rangées, selon le sens du transfert. Cette fonction est remplie par un

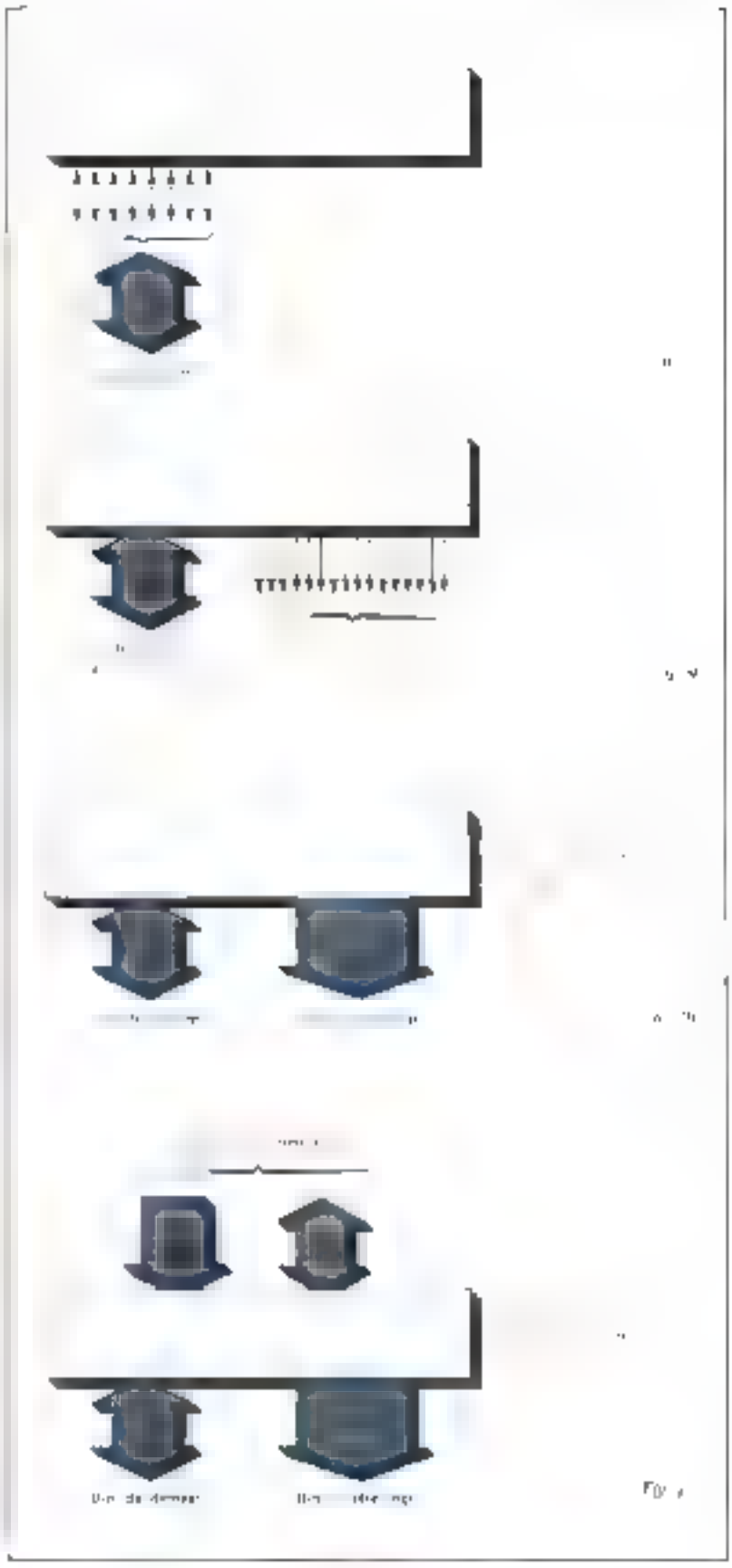


Fig. 8

Le microprocesseur travaille en deux cycles. l'un pour l'émission des données, l'autre pour la réception

« bus d'adressage » sur lequel il va falloir appliquer simultanément le signal binaire le bit de poids le plus faible, le second, le troisième, etc. Par exemple pour adresser huit mémoires il suffit d'une adresse à trois bits. Les bus d'adressage sont généralement constitués pour des raisons de sécurité de deux fils en parallèle sur chacun desquels on retrouve l'adresse sous la forme complémentaire. Le rôle spécifique des bus d'adresse et de données sera vu plus loin.

La figure 9 représente le bus d'adresse d'un microprocesseur 8 bits. Les huit lignes d'adresse sont appelées A0 à A7 (A pour adresse). Les lignes du bus de données sont appelées D0 à D7 (D pour data). Le bus de données est bidirectionnel, c'est-à-dire qu'il peut transporter des informations dans les deux sens.

Sur son bus d'adressage le microprocesseur peut désigner n'importe quelle mémoire ou n'importe quel périphérique. Chacun de ces boîtiers est appelé à surveiller en permanence le bus d'adressage. Chacun de ces boîtiers est doté d'un système de sélection et de numéro de position unique. L'information transmise sur le bus d'adressage représente le code de la mémoire contenue dans l'enveloppe. Ainsi, l'opération d'adressage revient à ouvrir une des boîtes aux lettres avec une clé spéciale et à y déposer un message qui ne peut aboutir que dans cette boîte car toutes les autres sont restées verrouillées.

En inversant le processus, on peut lire à une adresse déterminée que le microprocesseur sélectionne en appliquant une combinaison de bits au bus d'adressage (ouverture de la boîte aux lettres désirée) après quoi l'information (huit bits) va circuler du microprocesseur sur le bus de données.

Ainsi le microprocesseur travaille en deux cycles, l'un pour l'émission des données, l'autre pour la réception. Pour échanger des informations sur le bus de données, ces deux émission et de réception se déroulent successivement. Cette [illegible] microprocesseur [illegible]

[illegible] Appliquer [illegible] [illegible] [illegible]

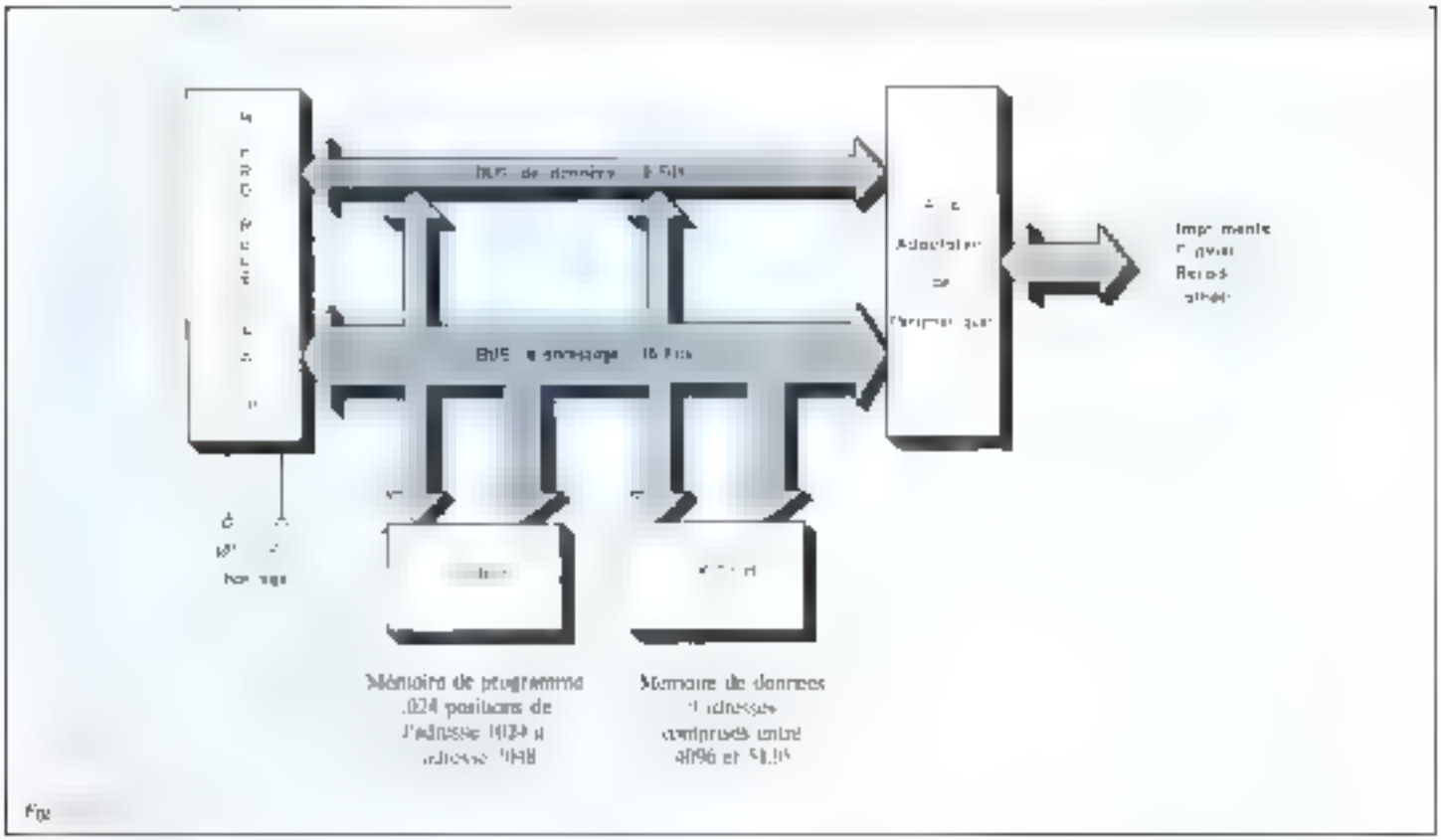


Fig.

dualité de la mémoire et le nombre [illegible] applique au microprocesseur ou bus de données est chargé à l'adresse 5000 de la mémoire.

Jusqu'ici notre système peut fonctionner en circuit fermé mais ne peut échanger des informations avec le monde extérieur. Pour cela le microprocesseur doit disposer d'un adaptateur de périphériques (**figure 13**).

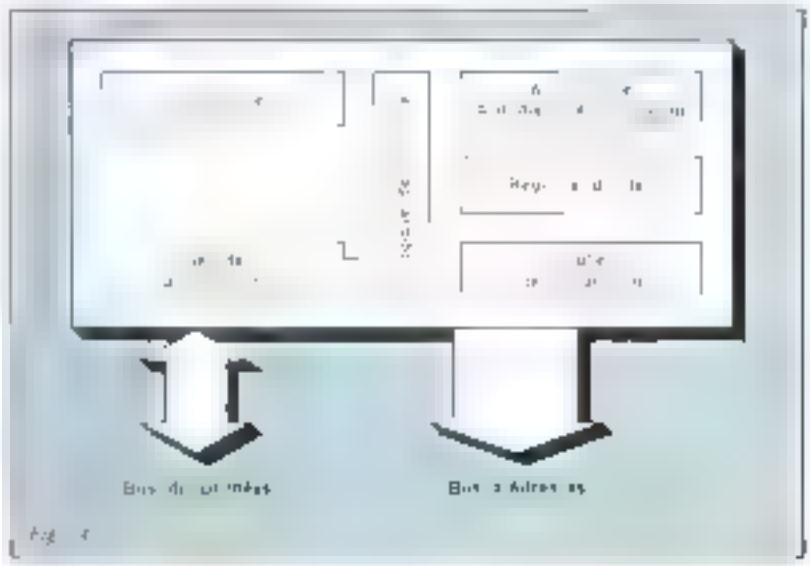
Pour que l'explication soit plus claire, on considère ici que chaque fonction périphérique comme les mémoires vives ou mortes et les [illegible] sont des unités distinctes. Dans le futur, il est probable que ces fonctions seront de plus en plus intégrées dans le même boîtier que le microprocesseur mais cela ne changera rien aux principes de fonctionnement du système.

Structure interne du microprocesseur

Le microprocesseur contient un compteur ordinal qui détermine la séquence des instructions à exécuter (sauf [illegible] par le décodeur d'instructions).

La **figure 14** illustre la structure du microprocesseur. Les organes internes sont l'unité arithmétique et logique ALU, la logique de commande et le décodeur d'instructions. D'autres fonctions internes, comme le pointeur de pile, accumulateurs et le registre de code de condition de l'ALU, ne sont pas représentées car elles ne sont indispensables à la compréhension du fonctionnement du [illegible].

La **figure 15** représente la structure interne d'un microprocesseur standard à huit bits.



Le compteur ordinal est un registre de seize bits qui contient l'adresse de la prochaine instruction à exécuter

Le décodeur d'instructions reconnaît le code binaire de chaque instruction et le convertit en ordres que la logique de commande utilise pour régler la circulation des données.

Les résultats fournis par l'unité arithmétique et logique sont rangés dans des accumulateurs car il n'est pas toujours souhaitable de les renvoyer dans la mémoire.

Comme son nom l'indique l'unité arithmétique et logique exécute les opérations arithmétiques et logiques. Son chargement et l'acheminement des résultats sont commandés selon la séquence voulue par la logique de commande.

Le registre d'index est un registre à seize bits destiné à contenir une adresse souvent utilisée.

Le compteur ordinal est également un registre à 16 bits qui contient l'adresse de la prochaine instruction à exécuter dans le programme.

Il existe plusieurs modes d'adressage qui peuvent être utilisés pour réduire la longueur du programme, la capacité de mémoire nécessaire et le temps d'exécution. Le mode d'adressage le plus simple et le seul dont nous parlerons est l'adressage direct qui consiste à utiliser les adresses fournies sur le bus d'adressage pour accéder directement à des données contenues dans les positions correspondantes de la mémoire. Une autre méthode est appelée « adressage indexé » et consiste à ajouter l'adresse du bus à une valeur particulière contenue dans le registre d'index, puis à utiliser l'adresse résultante pour accéder à la position désirée.

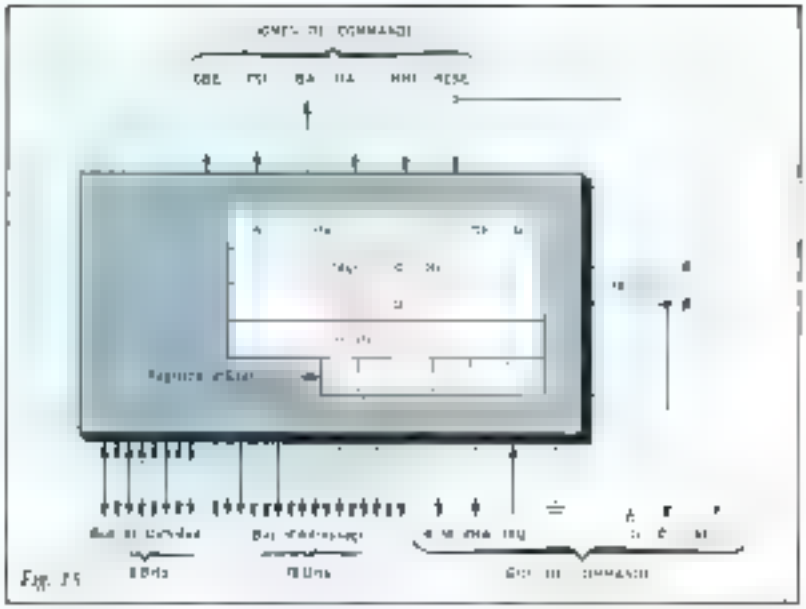


Fig. 15 « Structure interne d'un microprocesseur standard de 8 bits (6800)

Un bon microprocesseur doit offrir plusieurs possibilités d'adressage. Les tableaux 3 et 4 donnent la liste des instructions du microprocesseur standard et les temps d'exécution correspondants en cycles machine pour les différents modes d'adressage autorisés. ■

Daniel GUEYSSAC *

TABLEAU 3

ABA	Addition de l'accumulateur B à l'accumulateur A
ADC	Addition avec retenue
ADD	Addition
AND	ET logique
ASL	Décalage arithmétique de un vers la gauche
ASR	Décalage arithmétique de un vers la droite
BCC	Branchement s'il n'y a pas de retenue
BCS	Branchement s'il y a retenue
BEQ	Branchement si égal à zéro
BGE	Branchement si supérieur ou égal à zéro
BGT	Branchement si plus grand que zéro
BHI	Branchement si supérieur
BIT	Test de bits
BLE	Branchement si inférieur ou égal à zéro
BLS	Branchement si inférieur ou égal
BLT	Branchement si inférieur à zéro
BMI	Branchement si négatif
BNE	Branchement si non nul
BPL	Branchement si positif ou nul
BRA	Branchement inconditionnel
BSR	Branchement à un sous-programme
BVC	Branchement si pas de dépassement
BVS	Branchement si dépassement
CBA	Comparaison des accumulateurs
CLC	Mise à zéro du bit de retenue
CLI	Mise à zéro du masque d'interruption
CLR	Mise à zéro
CLV	Mise à zéro du bit de dépassement en complément à deux
CMP	Comparaison
COM	Complément à un
CPX	Comparaison du registre d'index
DAA	Ajustement décimal sur l'accumulateur A
DEC	Décrémentation
DES	Décrémentation du pointeur de pile
DEX	Décrémentation du registre d'index
EOR	« OU » exclusif
INC	Incrémentation
INS	Incrémentation du pointeur de pile
INX	Incrémentation du registre d'index
JMP	Saut inconditionnel
JSR	Saut à un sous-programme
LDA	Chargement accumulateur

LDS — Chargement du pointeur de pile
LDX — Chargement du registre d'index
LSR — Décalage logique vers la droite d'une position

NEG — Complément à deux (opposé)
NOP — Passage en séquence (non opération)

ORA — OU logique

PSH — Mise d'un octet dans la pile
PUL — Extraction d'un octet de la pile

ROL — Décalage circulaire à gauche
ROR — Décalage circulaire à droite
RTI — Retour de séquence d'interruption
RTS — Retour de sous-programme

SBA — Soustraction entre accumulateurs
SBC — Soustraction avec retenue
SEC — Mise à un de la retenue
SEI — Mise à un du masque d'interruption
SEV — Mise à un du bit de débordement en complément à deux
STA — Mise en mémoire d'un accumulateur
STS — Mise en mémoire du pointeur de pile
STX — Mise en mémoire du registre d'index
SUB — Soustraction
SWI — Interruption programmée

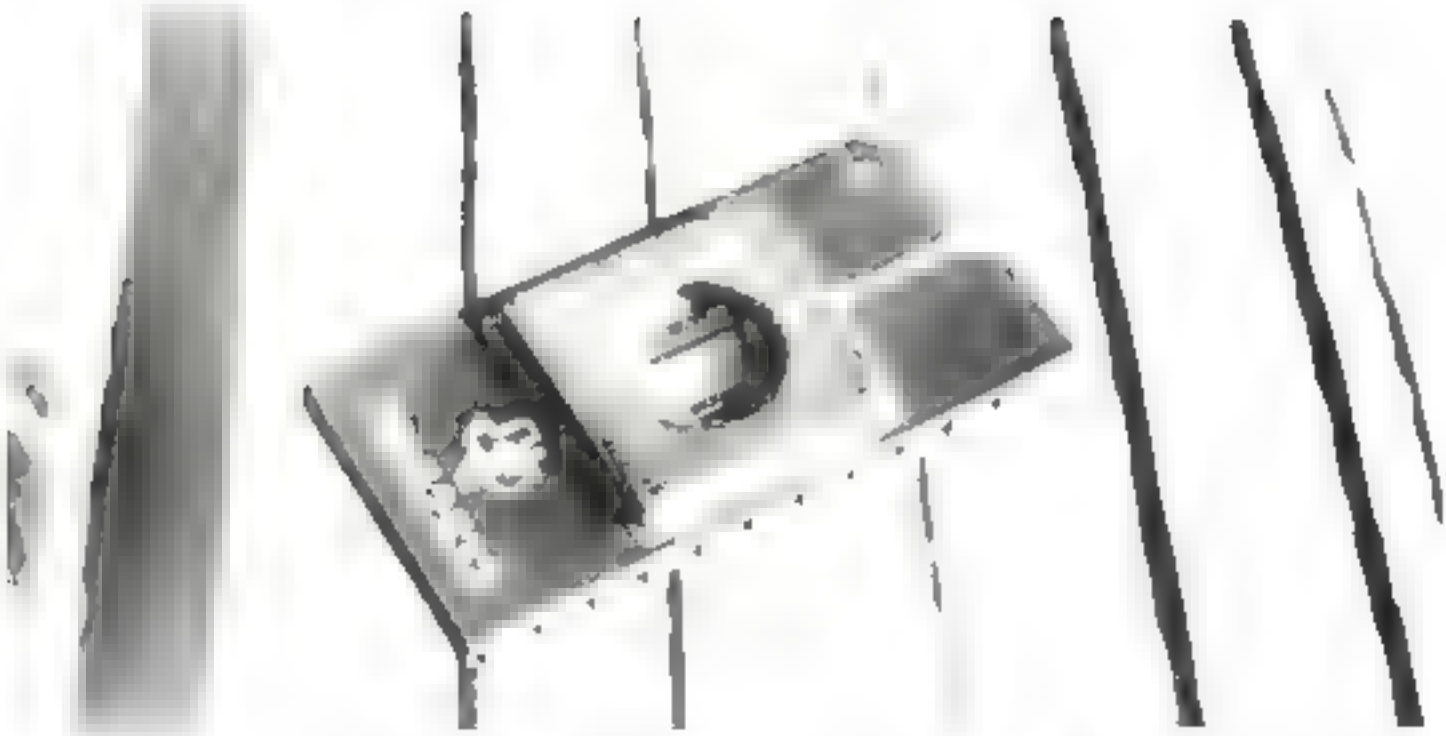
TAB — Transfert de l'accumulateur A dans l'accumulateur B
TAP — Transfert de l'accumulateur A dans le Registre d'Etat
TBA — Transfert de l'accumulateur B
TPA — Transfert du registre d'état dans l'accumulateur A
TST — Test
TSX — Transfert du pointeur de pile dans le registre d'index
TXS — Transfert du registre d'index dans le pointeur de pile

WAI — Attente d'interruption

	(Inutile également)	Accumulateur	Immédiat	Direct	Etendu	Indexé	Implicite	Relatif
ABA		■	■	■	●	■	2	●
ADC	x	■	2		4	5	●	●
ADD	x	■	2	3	4	5	●	●
AND	x	■	2	3	4	5	●	●
ASL		2	●	■	6	7	●	●
ASR		2	●	■	6	7	■	●
BCC		■	●	■	●	■	●	4
BCS		■	●	■	■	■	●	4
BEQ		■	●	●	●	●	●	4
BGE		■	●	■	●	■	●	4
BGT		■	●	■	●	■	●	4
BHI		■	●	■	■	■	●	4
BIT	x	●	2	3	4	5	●	●
BLE		■	●	■	●	■	●	4
BLS		■	●	●	●	●	●	4
BLT		■	●	■	■	●	■	4
BMI		■	■	■	●	●	■	4
BNE		■	●	■	■	■	■	4
BPL		■	■	●	■	●	■	4
BRA		■	●	■	■	●	■	4
BSR		■	■	■	●	●	■	8
BVC		■	■	■	■	●	■	4
BVS		■	●	■	●	■	●	4
CBA		■	■	■	■	■	2	●
CLC		■	●	■	●	■	2	■
CLI			●	■	6	7	■	■
CLV		■	●	●	●	■	2	■
CMP	x	■	2	3	4	5	■	■
COM		2	●	●	6	7	●	●
CPX		■	3	4	5	6	●	●
DAA		■	●	■	●	■	2	■
DEC		2	■	●	6	7	■	●
DES		■	■	■	■	■	4	■
DEX		●	●	●	■	●	4	●
EOR	x	■	2	3	4	5	■	●

	(Inutile également)	Accumulateur	Immédiat	Direct	Etendu	Indexé	Implicite
INC		■	■	■	6		■
INS		●	■	●	■	●	4
INX		■	■	■	■	●	4
JMP		●	■	●	3	4	●
JSR		■	■	■	9	K	●
LDA	x	●	2	3	4	5	●
LDS		●	3	4	5	6	●
LDX		●	3	4	5	6	■
LSR			●	●	6		●
NEG		2	■	■	6	7	■
NOP		■	●	■	●	■	2
ORA	x	■	2	3	4	5	■
PSH		■	●	●	●	■	4
PUL		■	■	■	■	■	4
ROL		2	■	●	6		■
ROR		2	■	■	6		■
RTI		■	●	■	●	■	10
RTS		■	■	■	■	■	
SBA		■	●	■	●	■	
SBC	x	■	2		4	5	●
SEC		■	●	■	■	■	
SEI		■	■	■	■	●	2
SEV		■	●	■	■	■	
STA	x	■	■	4	5	6	●
STS		■	■	5	6	7	●
STX		■	●	5	6		●
SUB	x	■	2	3	4	5	●
SWI		■	●	■	■	■	12
TAB		■	■	■	●	●	
TAP		■	■	■	■	■	2
TBA		■	■	■	■	■	2
TPA		■	■	■	■	■	2
TST		2	■	■	6	7	■
TSX		■	■	■	■	■	4
TXS		■	■	■	■	■	4
WAI		■	■	■	■	■	9

Tableau 4 — Modes d'adressage et nombre d'octets et de cycles machine des instructions



Notre EPROM de 32 K bits est la première sur le marché.

• **FONCTIONNEMENT ENTIEREMENT STATIQUE**

TMS 2532 n'a besoin d'aucun rafraîchissement. Elle fonctionne sous une seule tension de 5 volts.

• **FAIBLE CONSOMMATION**

La TMS 2532 est particulièrement économique en énergie. Elle consomme moins de 525 mW en fonctionnement et moins de 132 mW en veille.

• **FACILITE DE PROGRAMMATION**

Pour programmer la TMS 2532, un seul signal TTL est nécessaire. Le temps de programmation est très court. Il est possible de programmer un mot de 8 bits en 100 microsecondes seulement.

• **COMPATIBILITE AVEC LA ROM TMS 4732**

Quand le code applicatif [illegible] est définitif, il est possible de le faire graver dans une ROM TMS 4732 à un prix très intéressant. Le brochage de ces deux mémoires est identique. Il suffit de changer une seule connexion pour passer de la programmation électrique à la programmation par masque.

• **LA GAMME DES MEMOIRES EPROM TEXAS INSTRUMENTS**

TYPE	CAPACITE	ORGANISATION	ALIMENTATIONS	BUFFER
[illegible]	32 K	4 K × 8	5 V	Oui
[illegible]	32 K	4 K × 8	5 V	Oui
[illegible]	16 K	2 K × 8	5 V	Oui
[illegible]	8 K	1 K × 8	5 V	Oui

TEXAS INSTRUMENTS
FRANCE

[illegible]

COUPON REPONSE

NOM
SOCIETE
ADRESSE
Téléphone

Je désire recevoir une documentation complète sur les mémoires EPROM TMS 2532 et TMS 4732.
NOMBRE
PRIX

Etude d'un générateur de fonctions à microprocesseur

Il n'y a pas une seule forme d'onde qui ne puisse être réalisée par ce générateur de fonctions. Chaque période peut être programmée selon un schéma quelconque : 256 pas en amplitude, issus d'un convertisseur digital analogique à 8 bits et autant de points différents qu'on le souhaite dans le temps.

Il peut générer une seule période, en mono-coup, des périodes répétitives, ou être synchronisé sur une impulsion de commande et, dans ce cas, synthétiser, par exemple, un son pré-programmé dans un haut-parleur.

L'image de la forme d'onde issue de ce générateur sur l'écran d'un oscilloscope permet l'identification d'une portion-mémoire pour la reconnaissance d'un programme microprocesseur particulier. Le mot est assez : ces qualités sont nées à l'emploi d'un microprocesseur ou d'un système d'exploitation quelconque.

Principe

La figure 1 représente une mémoire dont un octet est adressé dans un convertisseur digital analogique. En fonction de la valeur binaire de chaque mot-mémoire, la tension de sortie est modifiée par un échelon d'une certaine amplitude, programmable par le signal de sortie.

Si, par exemple, la mémoire contient une séquence de huit mots, le signal de sortie est constitué d'une rampe d'escalier de 256 pas si elle est adressée en boucle, ou de huit pas (fig. 1b).

Ainsi, il est possible de générer des signaux en dent de scie. Chaque incrémentation (+ 1) de la rampe correspondra à un pas d'horloge et la fréquence de répétition du signal sera égale à :

$$\text{Fréquence du signal} = \frac{\text{Fréquence d'horloge}}{256}$$

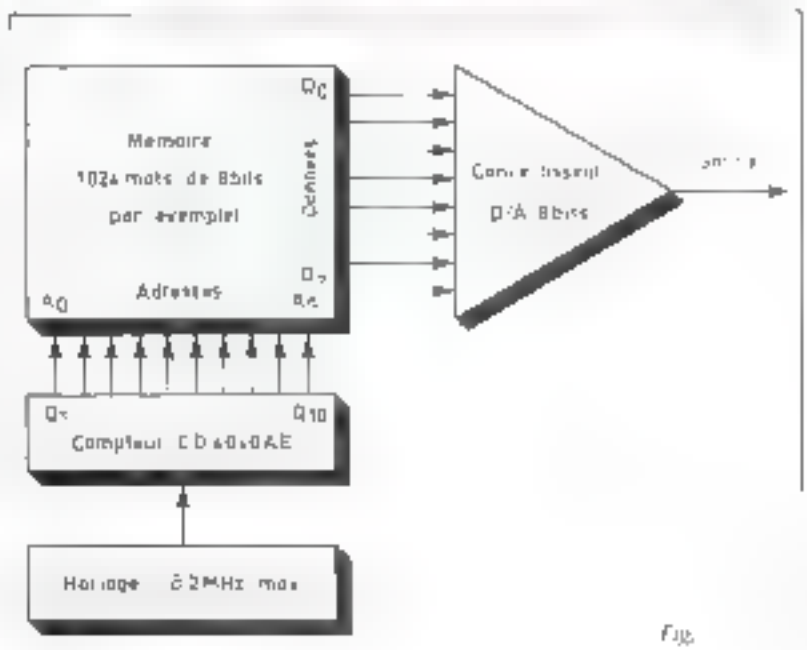


Fig.

La dent de scie ne demande pas, à proprement parler, une mémoire, mais plutôt un algorithme d'incrémentation ou même un simple additionneur (fig. 2). Plus adaptée aux formes complexes, la mémoire peut stocker une ou plusieurs périodes d'un signal sophistiqué, la synthèse d'un phonème d'un mot ou d'une phrase musicale.

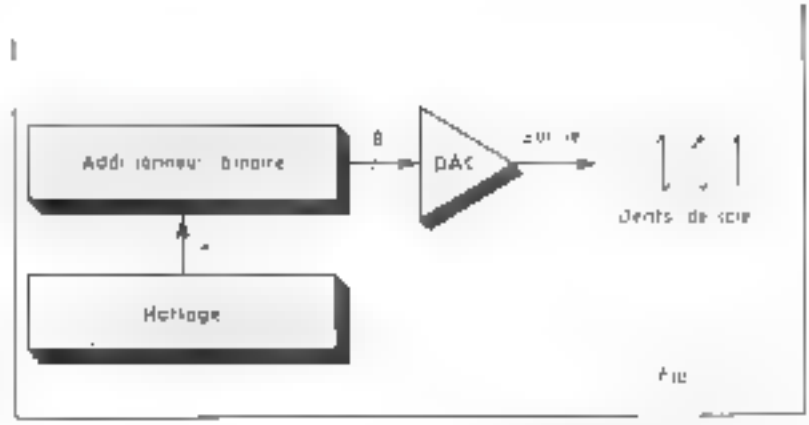


Fig.

L'inconvénient de ces circuits de « lecture » est dû au fait que le

contenu de la mémoire reste figé. Sur un haut-parleur on obtient toujours les mêmes sons et sur un oscilloscope la même forme d'onde. Le convertisseur digital-analogique rend des services bien plus importants lorsqu'un **microprocesseur** est utilisé.

Dans ce cas, il y a deux manières de générer des formes d'ondes, selon la fréquence de répétition à obtenir.

1 - La méthode algorithmique

Le convertisseur digital-analogique est connecté sur les lignes d'adresses de faible poids A_0 à A_7. Un programme parcourt selon des boucles judicieusement choisies, donne en sortie une forme d'onde correspondant aux adresses de chaque instruction. Par exemple, une suite d'instructions NOP (non-opération ou « rien à faire ») se terminant par un branchement en boucle, produit une même valeur de sortie, ce qui permet de visualiser le convertisseur sur les huit premiers fils d'adresse.

Les programmes à plusieurs boucles créent des formes d'ondes différentes pouvant être choisies de nombreuses manières.

La cadence de sortie des points est celle du bus-adresses du microprocesseur. Rhomopone, les instructions lentes, par exemple, laissent plus de temps entre deux accès au bus durant plusieurs cycles machine. Toutefois elle peut être entièrement contrôlée par un programme judicieux.

2 - Utilisation d'un coupleur d'entrée-sortie

Un coupleur est généralement un boîtier qui fait partie de la famille de celui du microprocesseur au même titre que l'unité centrale ou les mémoires. Il intègre quelques registres qui, comme dans le cas des mémoires, sont adressables par quelques fils d'adresse et des fils de validation (chip select).

La particularité de ces mots-mémoire dans un coupleur est la possibilité d'accès direct aux bits d'entrée-sortie. Les 8 bits sont connectés à 8 broches qui sont le plus souvent bidirectionnelles, c'est-à-dire qu'elles peuvent être lues ou mises sous tension de l'extérieur. Pour décider de la lecture ou écriture le boîtier-coupleur (le PIA chez Motorola, le PIO chez Zilog, le PI... etc., voulant signifier Parallèle...) possède un ou plusieurs mots-mémoire dont les données sur 8 bits décident du sens de lecture ou d'écriture à donner aux 8 broches sur lesquelles sont disposés ces bits. Le boîtier qui constituera ce dit on appelle un « **port parallèle** ». Tel est donc résumé, le rôle d'un coupleur d'entrée-sortie. Pour générer des fonctions à l'aide d'un convertisseur digital-analogique il suffit de « programmer » en sortie un port de 8 bits et de relier aux entrées digitales du convertisseur.

Cette programmation se fera en chargeant des « 0 » ou des « 1 » dans tous les bits du registre qui décide de la direction des données sur le port qu'on va utiliser (0 = « 1 » signifie bit en sortie). Par la suite il suffira d'utiliser le mot-mémoire qui est relié bit par bit au convertisseur D/A et d'y inscrire toute donnée en 8 bits que l'on désire générer sous forme analogique à la sortie. Une succession d'inscriptions fera apparaître une variation de tension analogique et une forme d'onde (**fig. 4**). Tant qu'on ne modifie pas le contenu du mot-mémoire qui fait office de port de sortie, il garde la même configuration binaire et

Fig. 4 - Le programme provoque sur le bus d'adresse sans arrêt [illegible]

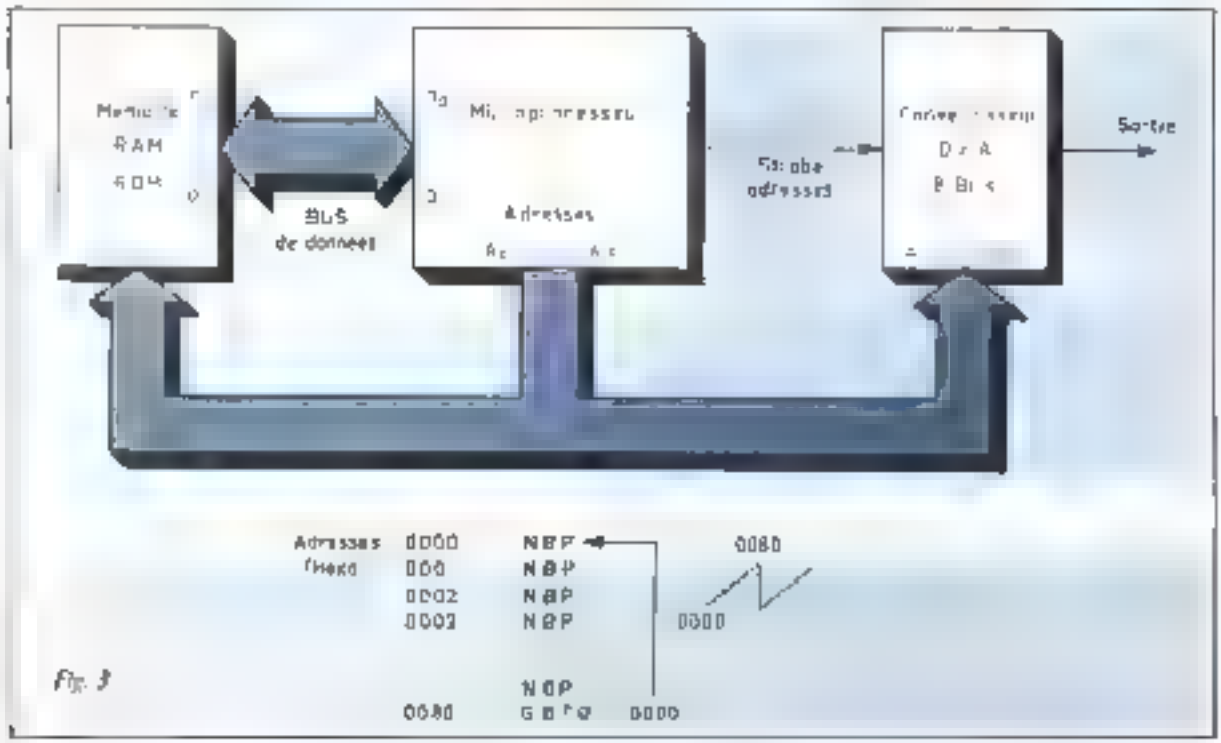


Fig. 3

une tension constante dans le [illegible] 1 A

Dispositif expérimental

Nous [illegible] peuvent se [illegible] que concerne le choix du convertisseur [illegible] suggère l'[illegible] comme le DAC-08 de PMI par exemple (fig. 5). L'alimentation du convertisseur est bipolaire : + 5 V et − 5 V ou + 5 V pour la tension négative de référence du DAC. Il est indiqué figure 6.

Si une grande précision n'est pas [illegible] le résistor de conversion (5 k) [illegible] réseau de résistances [illegible] M) disponible en boîtier. Les 8 bits d'entrée pilotent [illegible] de commutateurs de courant d'un réseau R/2 R. Les résistances de ce réseau sont ajustées au laser. De ce fait, l'élément de précision de la conversion tout entière. C'[illegible] est le cas de celui dont l'expose sur [illegible] ces réseaux à résistances égales sont [illegible] un circuit [illegible] Ces facilement en comparants ainsi [illegible] R suffit de s'[illegible] un lot de résistances R de même valeur à [illegible] près de 5 % et de vérifier [illegible] au de la figure 7.

Nous vous proposons un [illegible] bits il faut [illegible] X est à étudier dans ce cas à [illegible] des résistances précises à 1/256 près au lieu de 1/28 soit le 1 % environ pour le 7 bits. Mieux vaut que pour les niveaux des ensembles d'[illegible] A-l'A [illegible] le courant [illegible]

Lorsque on visualise un 7 bits une mémoire de 8 bits [illegible] on a une [illegible] des courbes comme le montre la figure 7. En conséquence les programmes qui chargent les mots dans le compteur [illegible] éventuellement à un décalage arithmétique à droite de chaque mot de 8 bits « 0 » dans l'octet de les visualiser entre [illegible]

Nous [illegible] nous [illegible] moyens de produire quelques fonctions de base

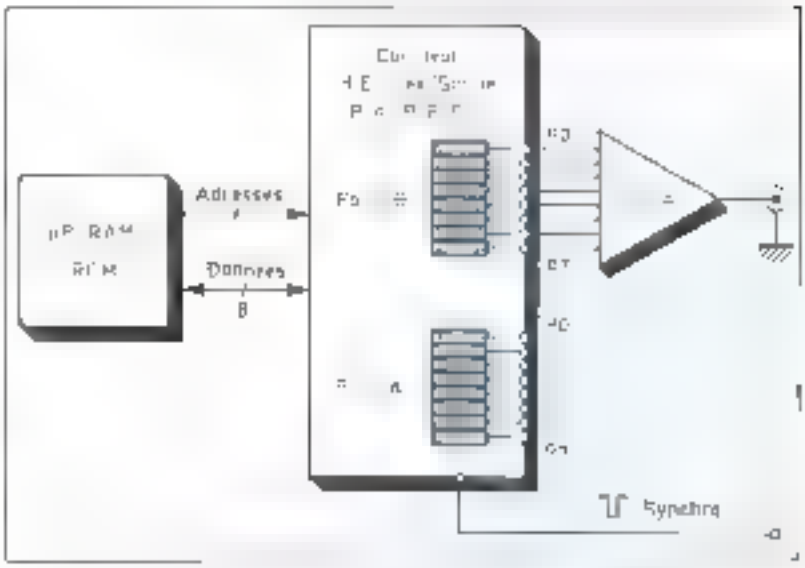


Fig. 4 — [illegible] d'interfaçage [illegible] B est relié [illegible]

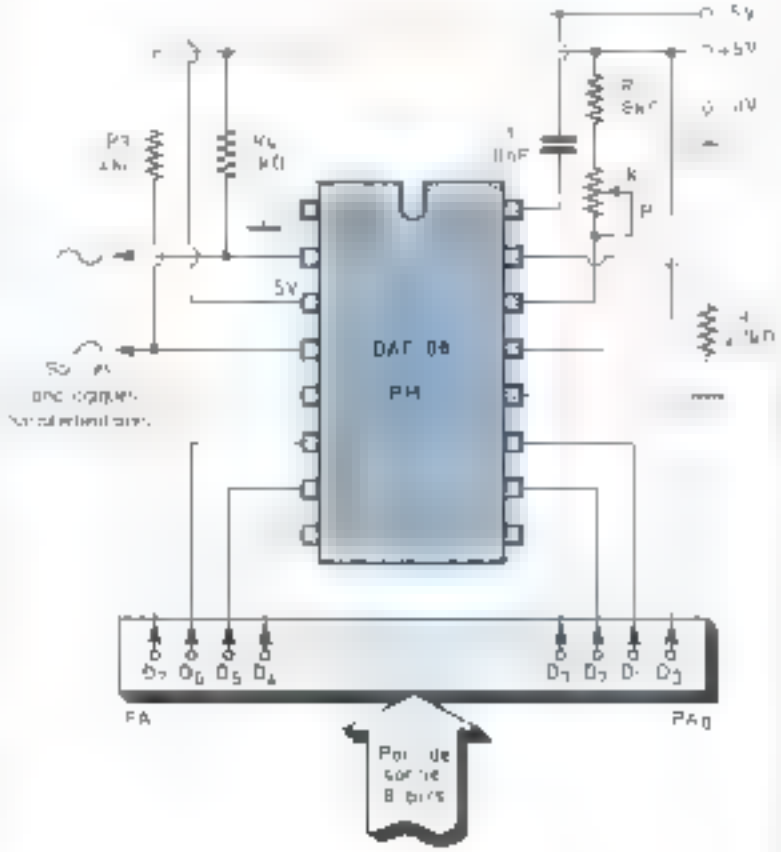


Fig. 5. — [illegible] numérique-analogique [illegible] à l'aide du circuit DAC-08 de PMI. (Produits Numériques).

Un signal en dent de scie s'obtient par incrémentation d'un mot mémoire correspondant au port de sortie du coupleur

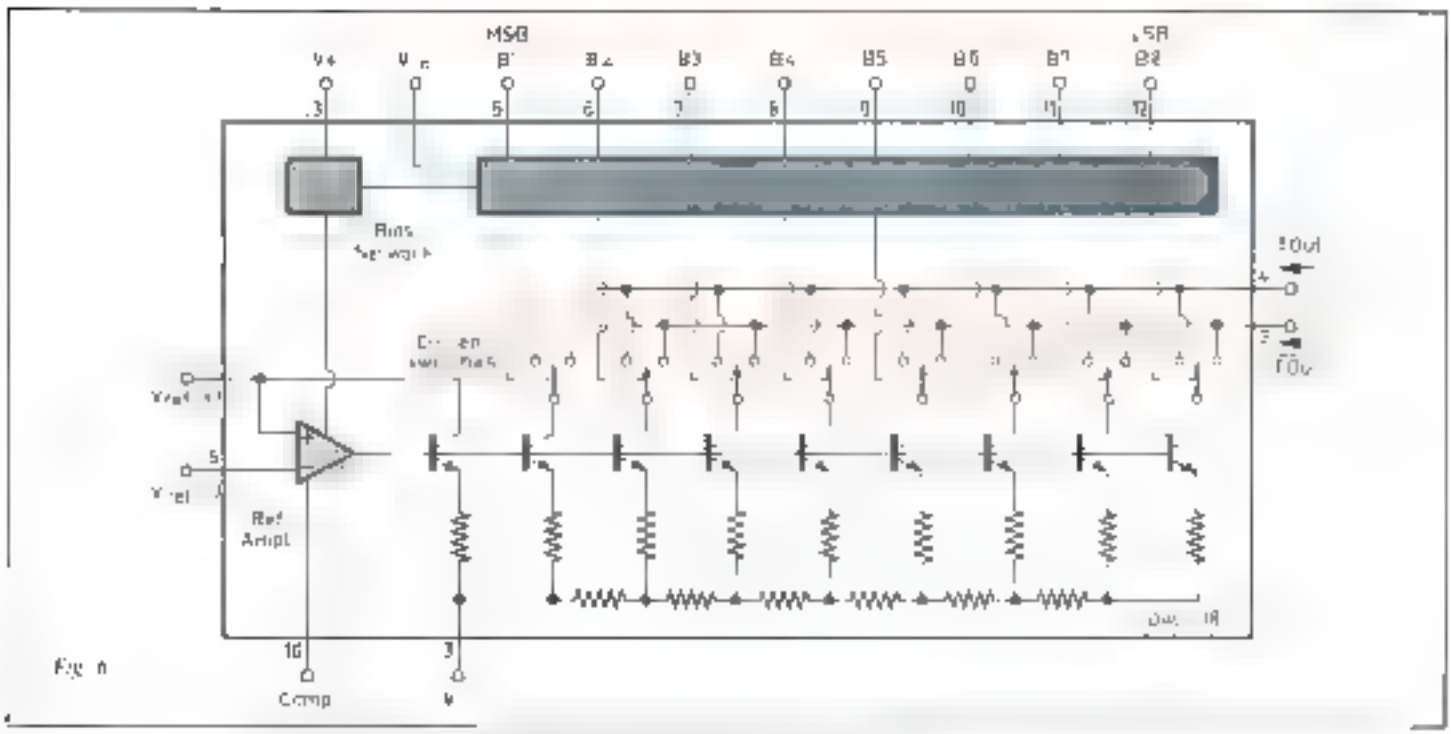
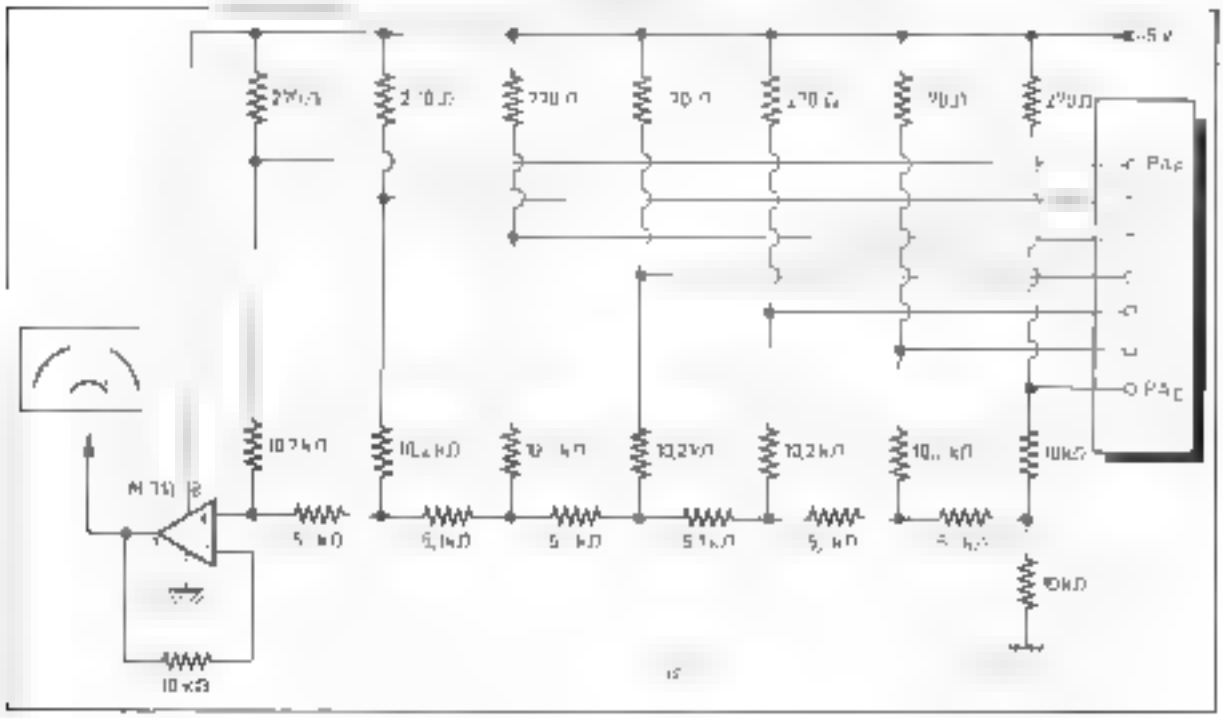


Fig. 6



Générateur de dent de scie

Reprenons à titre indicatif l'exemple de la dent de scie. Quel que soit le type de convertisseur utilisé, une dent de scie s'obtient par incrémentation (ou décrémentation) jusqu'à rupture du mot maximum (ou minimum) suivie de la sortie du coupleur. Le contenu de ce mot va croître de 00 jusqu'à FF (en hexadécimal), valeurs dont il remontera de 00 (**fig. 5**).

La **photo 1** représente une dent de scie obtenue à la suite du montage de la **figure 5**. Le microprocesseur est du 6800, avant que PIA 1 n'adresse 8006 le programme est celui du **tableau 1**. Une vue agrandie de la dent de scie met en évidence sa structure en escaliers (**photo 2**).

Génération de triangles

Ici, il faut tester le passage par FF du mot-mémoire qui représente le registre de sortie du coupleur et changer l'incrémentation en une décrémentation dès que le mot atteint cette valeur. Le cycle recommence (**fig. 9**). Cet organigramme a été traité par le même microprocesseur que précédemment durant les triangles de la **photo 3**.

Les « curiosités » du programme de triangles (**tableau 2**) comme par exemple la comparaison immédiate du contenu de [illegible] (CMPA # $01 ainsi que la portion de boucle d'incrémentation qui suit, terminée par un branchement, ont pour but de rendre les triangles parfaitement symétriques. Le temps que met le microprocesseur pour exécuter diverses instructions étant généralement le même qu'il s'agisse de la montée ou de la descente.

« Auto-portrait »

La **photo titre** représente l'image [illegible] mémoire RAM ou ROM visée dans le coupleur PIA d'entrée-sortie.

A procédement on obtient un film [illegible] cette image. Ils [illegible]

Photo 1.

Photo 2.

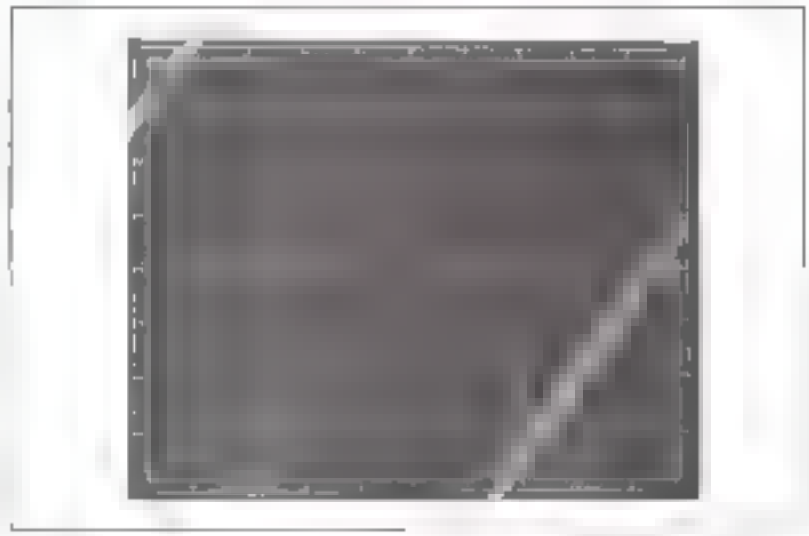
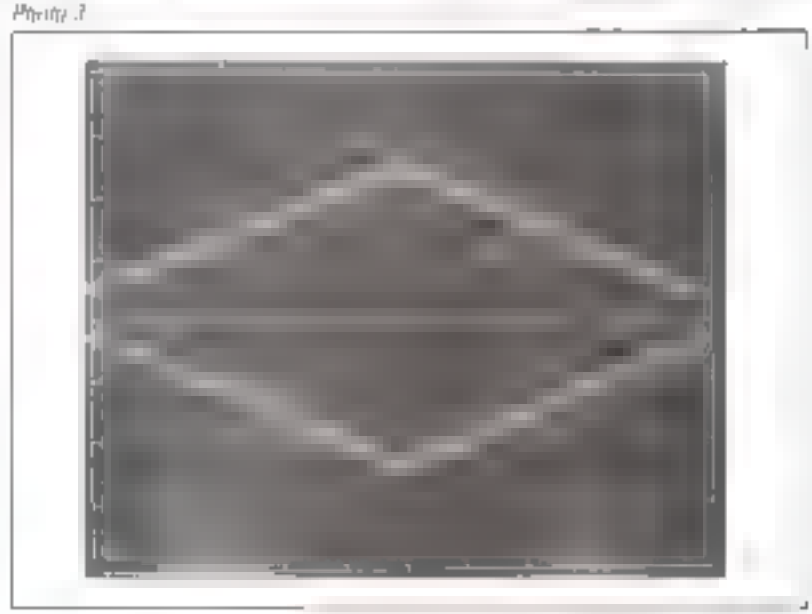


Photo 3.



Il est possible de visualiser une portion mémoire par transfert de chaque mot dans un convertisseur digital analogique

Tableau 1 : programmation du PIA [illegible]

```
                        * Initialisation P.I.A
0000 CE 0008            LDX #$0008  Adresse=PIA
0003 4F                 CLRA
0004 A7 01              STAA 1,X
0006 43                 COMA
0007 A7 00              STAA 0,X
0009 86 3A              LDAA #%0011 1 0 10
000B A7 01              STAA  1,X
000D 4F                 CLRA

                        *Programme=boucle de mise

000E A7 00      BCLE    STAA 0,X
0010 4C                 INCA            incrémentation de A
0011 20 FB              BRA BCLE
```

Tableau 2 : Programme de visualisation [illegible]

```
                        *Variante to engin. Mise initialisation

0000  00        WAITE   NOP
0001  A6 00             LDAA 0,X
0003  81 FF             CMPA #$ FF
0005  26 F9             BNE WAITE

0007  00        OSCNL   NOP
0008  A6 00             LDAA 0,X
000A  81 00             CMPA #$ 0
000C  26 F9             BNE OSCNL
000E  00                TAP
000F  A6 00             LDAA 0
0011  81 FF             CMPA #$ FF
0013  20 EB             BRA WAITE
                        END
```

Tableau 3 : Programme de visualisation d'une zone mémoire

```
                        *Initialisation de la PIA

0000  CE 8008           LDX #$8008      Adresse PIA
0003  4F                CLRA
0004  A7 01             STAA 1,X
0006  43                COMA
0007  A7 00             STAA 0,X
0009  86 3A             LDAA #%0011 0100
000B  A7 01             STAA 1,X

                        *Programme de gen. de fenetre que compose

000D  CE 0000 V DU      LDX #0 : une adresse zone mém à visu
0010  A6 00     BCLE    LDAA X
0012  B7 8006           STAA $8008
0015  08                INX
0016  8C 0 00           CPX  #$0:00 adresse fin mém  visu
0019  26 F8             BNE BCLE
001B  20 F0             BRA VISU
                        END
```

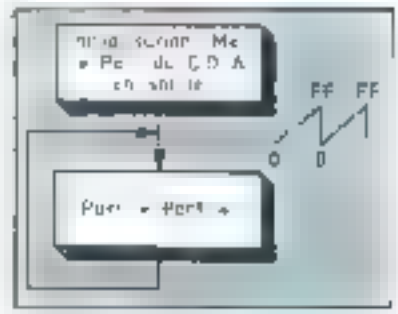


Fig. 8. – Organigramme de réalisation d'une droite de scan. Le contenu du mot mémoire présent dans le port de sortie est incrémenté.

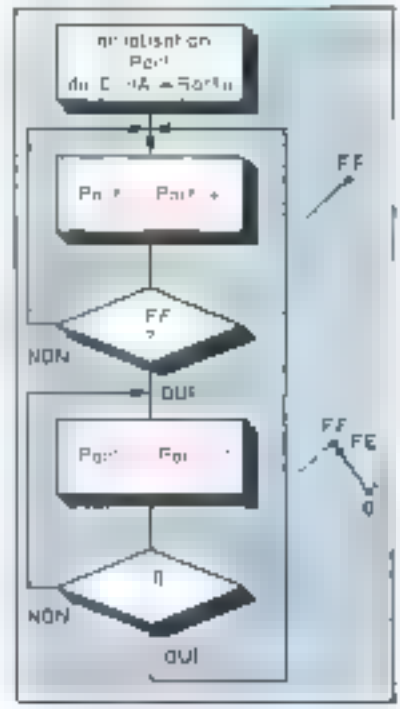


Fig. 9. – Organigramme de programme à tout faire.

contenu d'une mémoire.

Sur un 6800, on choisissum une zone mémoire dont le début est pointé par le registre X on peut balayer cette zone en envoyant chaque mot dans le PIA de conversion. Par bouclage il y a même « rafraîchissement » de l'écran et des images stables apparaîtront si la zone mémoire à visualiser ne dépasse pas 100 H, ou 200 H mots. Dans tous les cas, il faut réussir plus de 25 balayages par seconde, de la mémoire en question pour éviter le scintillement.

L'organigramme qui est à la base du programme, présenté sur la **figure 10**, utilise certaines instructions tenant du formalisme des modes d'adressage. Ainsi « (MEM, X) » signifie « le contenu du mot mémoire situé à l'adresse qui s'obtient par addition de MEM, une valeur hexadécimale et X, le contenu du registre d'index ».

Si l'on recommence indéfiniment le balayage de la zone mémoire, il sera difficile de discerner le début de la fin de la zone à visualiser. Sur la **photo 4** nous avons fait « tracé noir » en inscrivant quelques zéros, ce qui permet de bien localiser le programme. Cette fois-ci la zone à visualiser se terminait par des quelques mots à zéro n'ayant d'autre vocation que de présenter le programme lui-même. Ce n'est plus une forme d'onde que on fabrique ou un signal, mais une image, le portrait d'un programme, facile à retenir et à reconnaître parmi d'autres images. On parle d'autoportrait, car c'est l'image du programme de visualisation lui-même suivi de zéros.

Pour un 6800 dans un kit MK2, le programme est indiqué **tableau 3**.

Synchronisation

L'image que l'on obtient sur un oscilloscope, en visualisant une

forme d'onde plus ou moins sophistiquée, n'est généralement pas stable. Pour un synchronisme parfait, à chaque tour de balayage de la zone-mémoire, nous allons créer par la sortie CB du même port d'entrée-sortie, une impulsion de synchronisation, que l'on observe sur la trace inférieure de la **photo 4**.

Le programme de synchronisation demande alors quelques mots binaires de plus.

0018	B6	3C	
001D	CF	80	16
0020	A7	01	
0022	20	E5	

Génération de fonction quelconque

Cela est très simple de remplir la zone-mémoire d'un contenu plus ou moins « graphique » et de le balayer ensuite. Nombre de programmeurs de fours ou d'asservissements à consigne variable dans l'industrie utilisent les procédés les plus rustiques que l'on puisse imaginer pour aboutir à des résultats aussi simples que les autres.

La mémoire d'écran étant située aux adresses 0030 et 0310 vues par exemple **photos 5 et 6**, quelques formes d'onde en tirements numérique. La **photo 5** rappelle un oscillateur à relaxation, le caractère purement artificiel de la **photo 6** n'a plus à prouver. Cela [illegible] est réalisé à une fréquence [illegible] 00 08 08 08 08 08 soit 30 mots.

[illegible] on range 08 08 08 08 au lieu de 00 08 08 08 08 08, on obtient la **photo 7**. Le dernier palier est à mi-hauteur du maximum car 80 H est la moitié de FF H. Ce contenu global représente donc une « demi-dent de scie » sur neuf de trois créneaux. ■

Photo 4

Photo 5

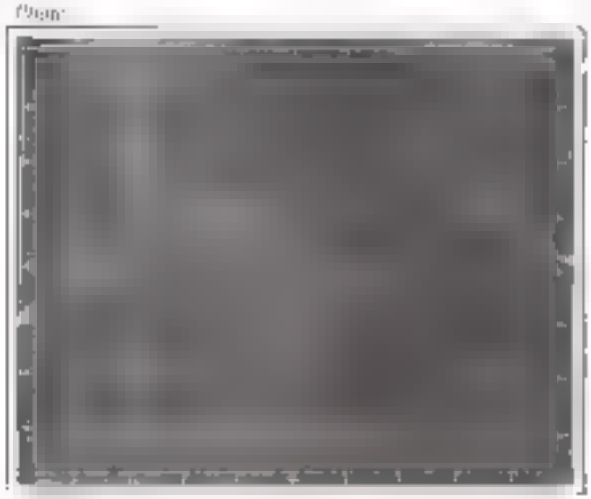


Photo 6

Photo 7

Photo 4 : [illegible] on remarque [illegible] synchronisation [illegible] programme.

Photo 5 : [illegible] formes d'onde [illegible]

Les réseaux de résistances dans la conversion digitale-analogique

a) Résistances en rapport 1, 2, 4, 8, en commutation de courant

Si une tension de référence commutée V_{ref} attaque les bases [illegible] des transistors en parallèle de la **figure a** et si leurs résistances d'émetteur sont ajustées précisément dans le rapport 1, 2, 4, 8, on obtiendra un même rapport entre les courants qui seront commutés. Le courant total a une valeur pouvant s'exprimer en binaire selon, par exemple

$$b_3 \quad + b_2 \quad + b_1 \quad + b_0$$

b_i est une valeur binaire « 0 » ou « 1 » $I_0 = \frac{V_{ref}}{8R}$

La tension V_+ dépasse légèrement la tension V_{ref} pour éviter la saturation des transistors commutateurs. V_{ref}, composée de U_{BE} et de la chute de tension aux bornes de chaque résistance, doit être non seulement stabilisée, mais sa dérive en température doit [illegible] celles des tensions base-émetteur des transistors (U_{BE}).

b) Résistances 1, 2, 4, 8 en commutation de tension

La **figure b** représente des résistances en échelle 1, 2, 4, 8 [illegible] du commutateur à trois positions. Le montage étant inversé, la tension de sortie sera de la forme

$$V_s = 8R \left(\frac{b_3}{R} + \frac{b_2}{2R} + \frac{b_1}{4R} + \frac{b_0}{8R} \right)$$

ou $V_S = V_{ref}(b_3 \cdot 2^3 + b_2 \cdot 2^2 + b_1 \cdot 2^1 + b_0)$

Le **facteur d'échelle** (tension de sortie par bit) se règle par la résistance de contre-réaction de l'amplificateur opérationnel. A la différence des commutateurs précédents, il est nécessaire que leurs résistances de contact soient aussi faibles que possible, car ils commutent des tensions.

Désavantage commun à ces deux schémas : la nécessité d'un ajustage très précis, ce qui n'est pas courant dans les échelles de résistances. Il faut descendre dans les précisions inférieures au % pour retrouver [illegible] kΩ, 2 kΩ, 4 kΩ, 8 kΩ par exemple.

c) Réseau R/2 R à commutation de tension

[illegible] est de loin plus facile d'obtenir des grandes séries de résistances très précises, de rapport double l'une de l'autre, à partir d'une loi de résistances à 5 ou 10 % on trouve [illegible] des séries des deux [illegible] de la valeur nominale mais égales entre elles.

La **figure c** montre le schéma d'un réseau R/2 R à commutation de tensions. Si précédemment la simple intuition suffisait pour comprendre le fonctionnement, il faut maintenant recourir à l'exemple d'un réseau R, 2 R à deux bits pour en saisir le principe (**fig. c 1**).

Les résistances 2 R de ce réseau sont reliées à « b_iV » Si le b_i est à zéro on aura 0 V, la masse selon V voulu.

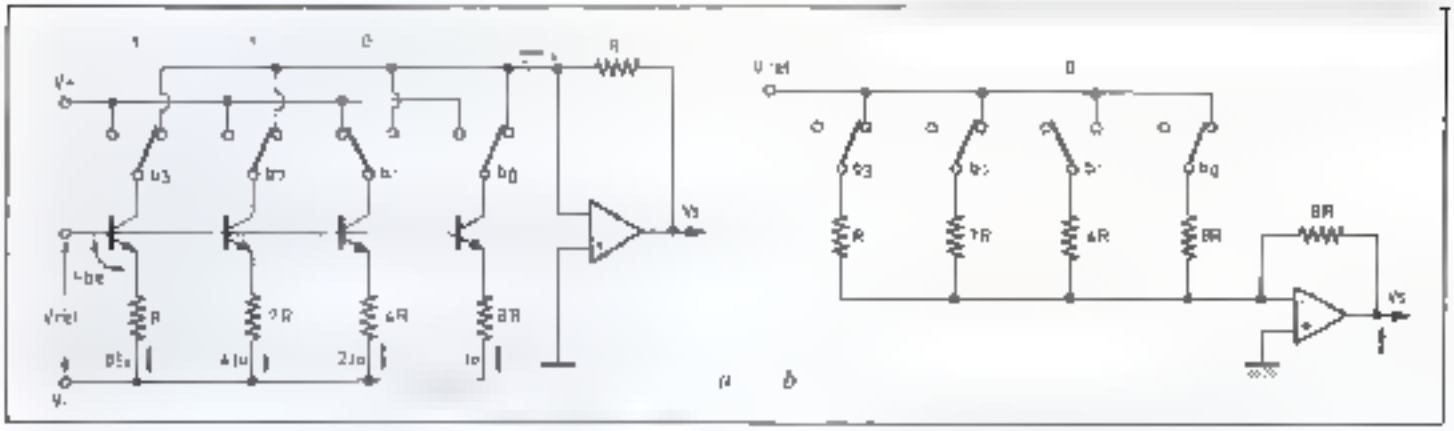
Pour calculer la tension de sortie de ce réseau (V_s), on procède à deux coupes du circuit selon les théorèmes de Norton et Thevenin. A chaque coupe on constate que la résistance interne de la partie coupée « Z_{ABB} » est toujours égale à R, ce qui rappelle bien entendu les atténuateurs calibrés en cascade. La tension « U_{ABB} » prend, quant à elle, des valeurs-combinaisons binaires de la tension de référence V. Dans l'exemple choisi, b_1 intervient avec un poids double de celui de b_0 et si l'on continuait, le résultat se répéterait pour b_2 et b_3.

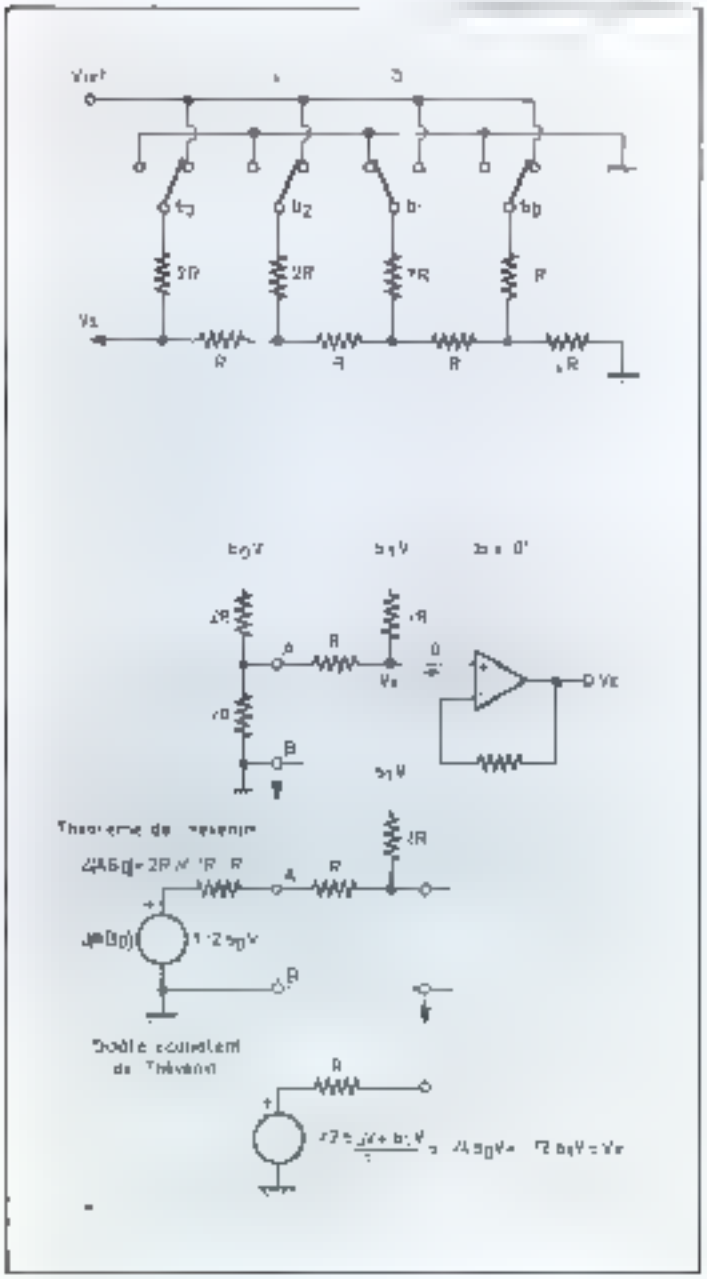
d) Réseau R/2 R à commutation de courants

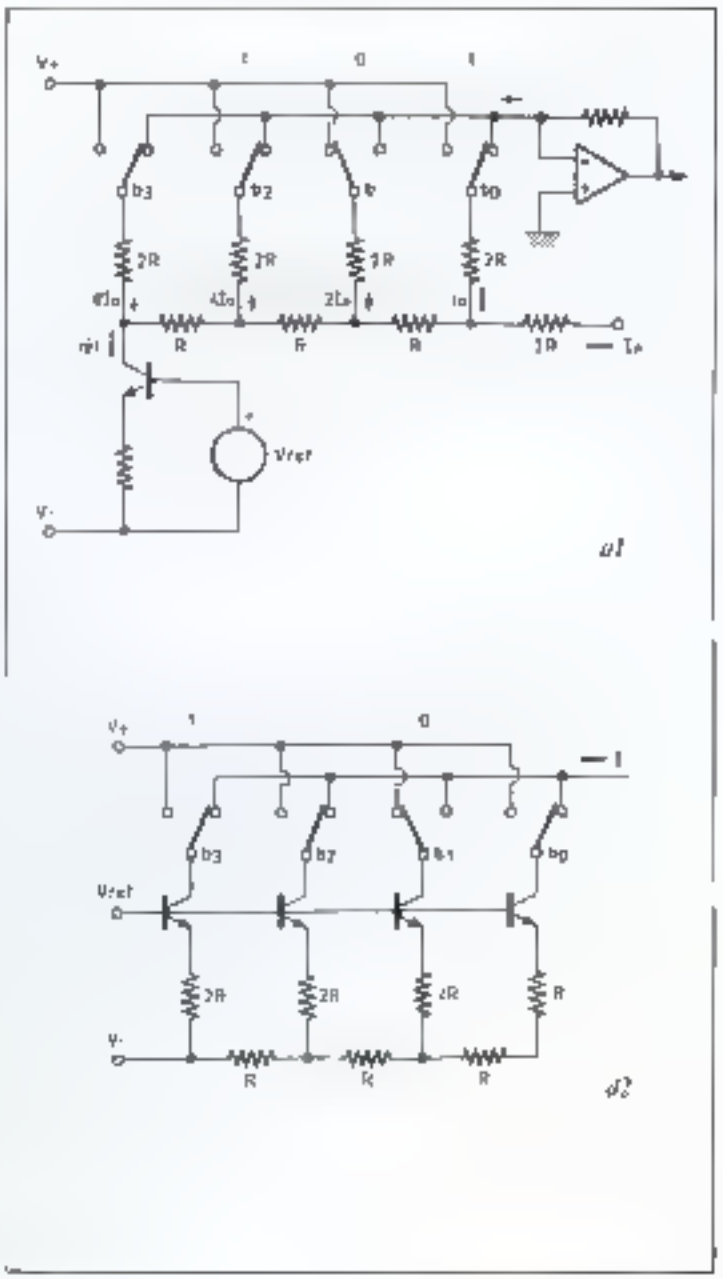
C'est le plus intéressant. Les commutateurs de l'exemple précédent commutent des tensions, ce qui rend leur résistance interne critique. Lorsque la commutation se fait en courant (**figures d.1 et d.2**), les quelques ohms des commutateurs, s'ils sont du type C MOS, bon marché, n'ont plus aucune importance en série avec l'impédance interne de la source de courant à commuter qui dépasse la dizaine de kilohms (10^4 Ω).

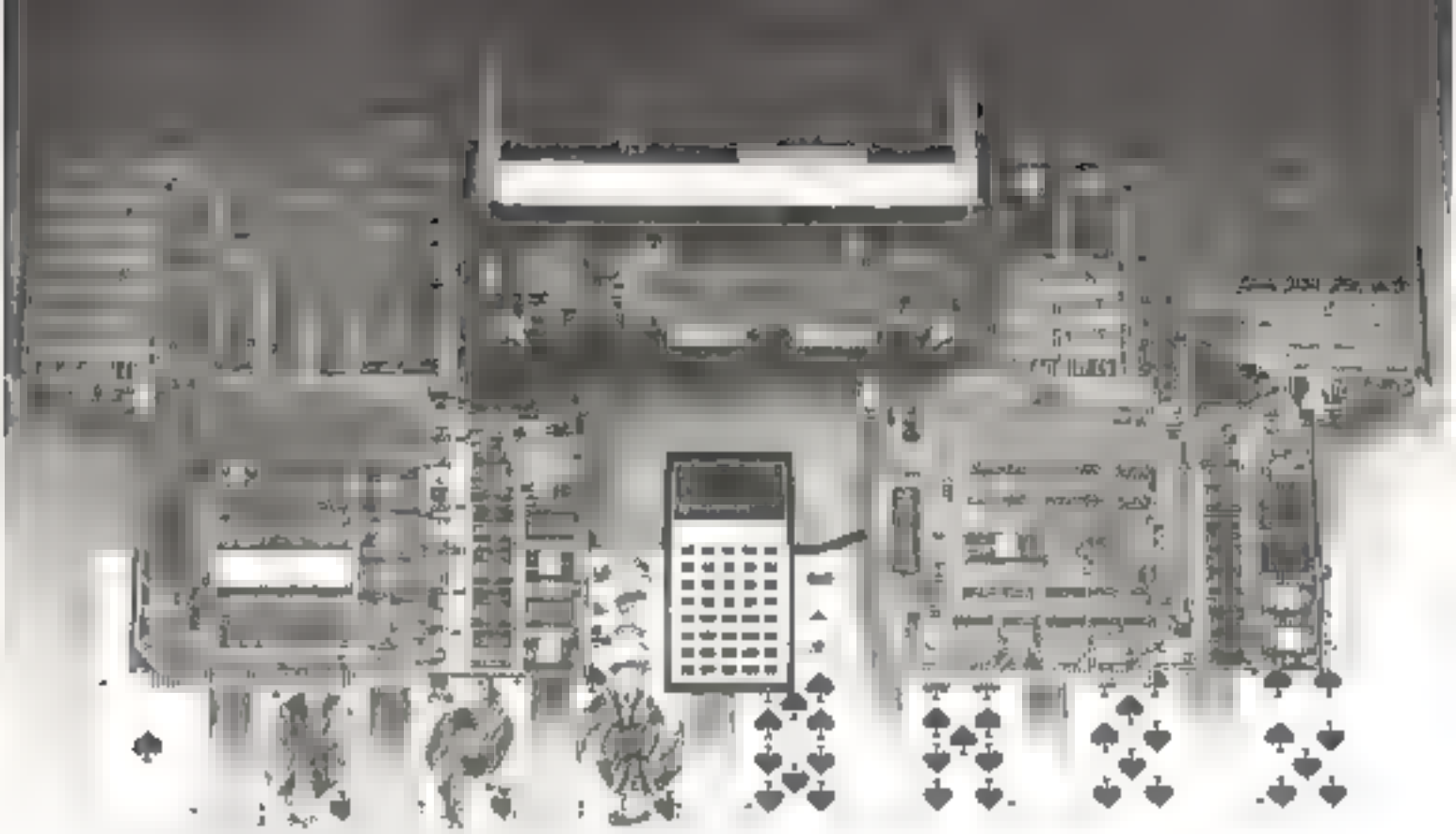
On distingue deux variantes, **figure d.1** et **figure d.2**, selon qu'il s'agit d'une seule source de courant I_{ref} commune, ou de plusieurs sources.

Les résistances 2 R, dans une réalisation discrète, peuvent s'obtenir par la mise en série de deux résistances R égales, de qui simplifie énormément le choix des valeurs.









Les cartes 990 de Texas Instruments: des atouts maîtres dans votre jeu.

TEXAS INSTRUMENTS
FRANCE

Le BASIC

Né en Angleterre au Dartmouth College en 1965, le BASIC ou « Beginners All Purpose Symbolic Instruction Code » (Code d'Instructions symboliques tous usages pour débutants) est un langage de programmation qui peut être assimilé en très peu de temps par des non informaticiens.

Un microordinateur programmable en BASIC est essentiellement constitué d'un microprocesseur, de mémoires, de circuits d'interface, de périphériques (console TV, clavier ASCII, ...) et d'une mémoire spécialisée en ROM ou en RAM appelée compilateur ou moniteur BASIC. Cette mémoire est capable de générer les instructions en langage machine lorsqu'on lui fournit des instructions source (c'est-à-dire des instructions frappées sur un clavier).

Ainsi un moniteur BASIC est avant tout un programme, chargé en mémoire, dont la capacité varie suivant les possibilités du système entre 2 k et 16 k octets.

« BUNNY »

Le langage BASIC permet de programmer aisément de nombreux jeux. Notre [illegible] « BUNNY » a [illegible] Morristown, New Jersey [illegible] de nombreux [illegible] l'origine [illegible] un lapin.

Notons que ce programme est relativement court, puisque sa longueur en interpréteur a 48 lignes.

Depuis quelques années, deux phénomènes ont concouru à introduire le langage BASIC parmi les amateurs (appelés « hobbyists ») aux États-Unis : l'avènement des microprocesseurs avec leur spectaculaire développement et la forte diminution du coût des mémoires [illegible] des circuits intégrés.

Dès lors ce langage commence à être employé dans les micro-ordinateurs [illegible] pour quelques milliers de francs.

Bien entendu, le BASIC ne permet pas une approche et une compréhension aussi fine du fonctionnement d'un microprocesseur que l'assembleur et ses mnémoniques mais c'est un excellent outil pédagogique de programmation.

Pour commencer ensemble cette étude du langage BASIC nous aborderons successivement les notions d'algorithmes et d'organigrammes puis nous résoudrons ensemble en BASIC des problèmes simples comme le calcul du volume d'une sphère $4/3 \pi R^3$, ce qui nous permettra d'introduire les premières instructions de ce langage.

Algorithme

Lorsque nous recherchons les solutions d'une équation le succès de cette recherche dépend bien entendu, et avant tout, de l'existence d'une solution mais aussi de la façon dont est abordé le problème.

L'algorithme décrit dans tous les détails la méthode à suivre pour aboutir au résultat.

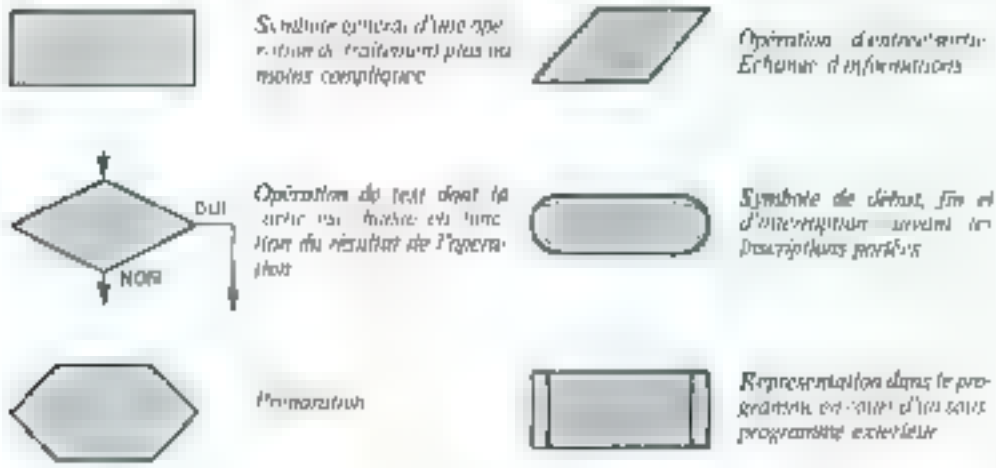
Le **tableau I** représente l'algorithme de résolution d'une équation du premier degré de la forme $Ax + B = 0$.

Organigramme

L'organigramme se dit aussi ordinogramme (**flowchart** en anglo-saxon). Contrairement à l'algorithme qui est une méthode de description plutôt « mathématique », l'organigramme est un dessin ou **schéma** symbolique qui analyse point par point les différentes phases du problème à traiter. Ce schéma est décomposé en symboles (rectangles, parallélogrammes, losanges) qui indiquent la présence d'une opération à effectuer (test, entrée/sortie, traitement). Les symboles utilisés, lors de la construction d'organigrammes, sont selon les normes AFNOR ... (données figure 1

L'organigramme est au logiciel ce que le synoptique est au matériel. L'un permet de définir la tâche du programmeur l'autre celle du câbleur

Représentation des différents symboles destinés à la construction d'organigrammes.



Symboles désignant les principaux périphériques utilisés

Fig.

Ainsi l'organigramme est une représentation schématique de l'organisation d'un travail à effectuer. Il est au logiciel ce que le synoptique est au matériel. L'un permet de définir la tâche du programmeur l'autre celle du câbleur.

Pour réaliser un organigramme il est nécessaire avant toute chose de bien définir et de préciser le problème. L'organigramme défini par l'algorithme précédent est dessiné **figure 2**.

Calcul du volume d'une sphère

Tout d'abord, rappelons que le programme de calcul du volume d'une sphère doit lui fournir en fonction du rayon est connue chacun sait

$$= \frac{4}{3} \quad R$$

Programme

```
 5  INPUT R
100 LET V = (4 * 3.1459265 * (R ^ 3)
150 PRINT " VOLUME DE LA SPHERE = " V
200 END
```

50, 100, 150, 200 définissent le numéro de la ligne et par conséquent la « référence » de chaque instruction. Ils sont utilisés ici comme étiquette. Ces lignes sont numérotées dans un ordre croissant mais leur numéro peut être quelconque.

Etiquette INPUT

< liste des variables >

Lorsque l'ordinateur arrive à la ligne 50, il demande à l'utilisateur par un point d'interrogation, de taper sur le clavier la valeur de la donnée R. L'utilisateur tape alors 2.456789 si le rayon de la sphère est de cette dimension connue dans notre exemple.

Puis, l'ordinateur exécute la suite de son programme dès que la donnée ou les données est entrée.

Il est possible d'initialiser plusieurs variables avec une seule instruction INPUT, il suffit de les

Construction

INPUT R

INPUT est une instruction d'entrée en mode conversationnel (c'est-à-dire de dialogue homme-machine). La forme générale de cette instruction est

separer par un signe separateur qui est generalement une virgule

Exemple

40 INPUT A, B, I, O, L

Lorsque l'ordinateur, lors de l'execution du programme, rencontre cette instruction, les variables prendront la valeur

A =
= ?
=
O =
?

Remarque Les variables à une seule lettre suivie ou non d'un chiffre

Ainsi, R est une variable, A1, B0, O, L, sont des variables, de meme que Z5 ou Y7. Les termes TO, ET ... ne sont pas des noms de variables

2e instruction

100 LET V = (4 * 3.14159265) * R ↑ 3/3

LET est une instruction d'affectation. Elle signifie que l'expression mathematique située à droite du signe = est affectée à V, c'est-à-dire que V prend la valeur de l'operation effectuée à l'aide de R.

De la meme façon, lorsque l'on est en presence d'une equation de la forme

LET X = X - 0

La variable X se présente de chaque côté de l'egalité. Il faut entrer X, la nouvelle valeur de X après exécution de cette instruction est X - 0

Les opérateurs BASIC

Le calcul de V fait apparaître les opérateurs : multiplication, division et élevation à la puissance.

A chaque opérateur est attribuée une priorité permettant d'effectuer les calculs suivant un certain ordre.

La notation et la priorité de ces opérateurs est résumé dans le tableau ci-dessous

Opérateur	Notation	Priorité
Addition	+	3
Soustraction	-	3
Multiplication	*	2
Division	/	2
Puissance	↑	1

La priorité la plus élevée est notée 1. Lorsque, dans une expression, les opérations d'élévation à la puissance sont situées avant les premières

Exemple

Ecrire en BASIC le calcul de l'expression

$$X = \frac{-b + \sqrt{\quad} \quad}{2a}$$

Si cette instruction porte le numéro 50

50
[illegible]

Nous conseillons à nos lecteurs de porter la plus grande attention quant aux positions des parenthèses dans les expressions compliquées. Il est souvent nécessaire, afin de décomposer le calcul en plusieurs lignes, de calculer la racine puis l'addition et la division.

Lorsque une formule contient plusieurs facteurs, les opérations entre parenthèses sont effectuées les premières

Notez que les nombres décimaux s'écrivent en utilisant le point et non une virgule (0,5 est noté .5 pour racine (2)

3e instruction

140 PRINT " VOILA MA DE LA
SOLUTION R =

Tableau 1

Algorithme de resolution d'une equation du 1er degré : Ax + B = 0

1) Etablir la liste des variables

Ici, les nombres A et B sont inconnus, on doit donc les initialiser et les rechercher en mémoire ou sur un périphérique

2) Test de A

Comparer A à 0. Si A est différent de 0 on passe à l'instruction suivante (X = - B/A). Si A est nul on doit tester si B = 0 (instruction 6)

3) Calculer X

X prend ici la valeur - B/A

4) Sortir la valeur de X

Sortie de X sur un affichage ou une imprimante

5) Instruction d'arrêt ou stop

Le calcul de X est terminé

6) Test de B

Si B = 0 nous sommes en présence de X = 0/0, on passe à l'instruction 9 qui signale que le problème est indéterminé

Si B ≠ 0 on passe à l'instruction suivante

7) Sortie

Cette instruction correspond au cas où A = 0 et B ≠ 0. La valeur de X est donc - B/0. L'imprimante ou le visu doit alors indiquer que le problème est impossible à résoudre

8) Stop

9) Sortie

Dans ce cas X = - 0/0, le périphérique signale une indétermination.

10) Stop.

l'instruction PRINT imprime les termes placés entre les 2 guillemets (phrases, variables ...) tels que le programmeur les a inscrits.

Ces termes n'ont aucune signification pour la machine.

Si l'expression à imprimer est suivie d'une virgule, la longueur de la zone qui lui est attribuée sera de ... caractères.

Lorsque la chaine de caractères est suivie d'un point virgule, les expressions sont éditées sans espace intermédiaire.

4e instruction

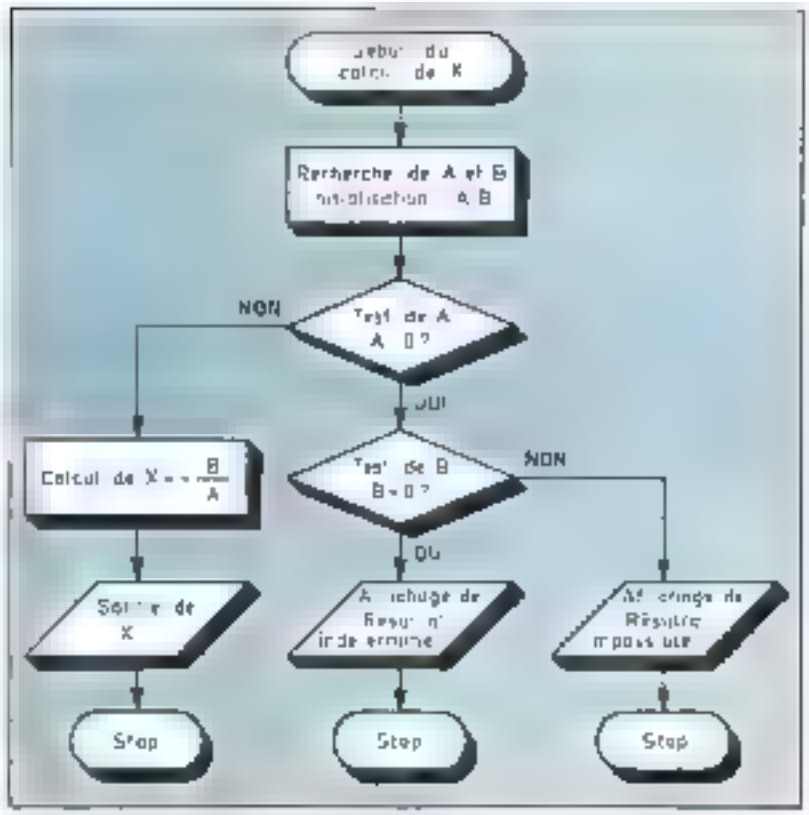
JOB END

L'instruction END indique à l'ordinateur que le programme est achevé. Les programmes BASIC doivent être terminés obligatoirement par cette instruction.

Ainsi, à l'aide de 4 instructions très simples, il nous a été permis de calculer le volume d'une sphère de rayon ... (... décimales) résultats.

Le listing de ce programme avec le « RUN » qui l'accompagne et les différentes étapes du programme par l'ordinateur, est représenté **tableau 2**.

Remarquez le point d'interrogation lorsque la machine demande entrée de la variable R.



Le résultat est imprimé (ou affiché) et l'ordinateur est à nouveau prêt à recevoir 'READY' pour l'exécution du programme suivant.

Fig. 2. *Organigramme de résolution de l'équation ... Remarquez les trois solutions possibles.*

```
#LIST

0050 INPUT R
0100 LET V=(4*3.14159265)*(R**3)/3
0150 PRINT "VOLUME DE LA SPHERE =";V
0200 END

READY
#RUN
? 1.2345678901?
VOLUME DE LA SPHERE =7.88194593

READY
#
```

Tableau 2 *Le programme de calcul du volume de la sphère occupe les lignes 50, 100, 150 et 200. Lorsque le programme est exécuté (RUN), l'ordinateur demande (?) entrée du rayon de la sphère. Il est imprimé le texte situé entre les guillemets de l'instruction PRINT suivi du résultat (V).*

DU MICROPROCESSEUR AU MICRO-ORDINATEUR

Séminaire exceptionnel 98 F TTC

PARIS – 25 NOVEMBRE 78
Maison de la Chimie - 28, rue St-Dominique - Paris 7e

A l'occasion de son lancement, la revue MICRO-SYSTÈMES organise avec la collaboration de SYBEX une journée de formation et d'information sur l'utilisation des microprocesseurs dans la conception des micro-ordinateurs à usage personnel.

I Initiation aux microprocesseurs (9 h-12 h)

Introduction - Fonctionnement d'un microprocesseur - Composants d'un système - Les familles de microprocesseurs - Applications
Programmation d'un microprocesseur Developpement d'un produit - Aides au développement Sélection d'un microprocesseur Evolution et Perspectives.

II Les micro-ordinateurs (14 h-16 h)

Définition et constitution d'un micro-ordinateur Fonctionnement - Appucations Historique Les périphériques Imprimante, disque, écran, magnetophone - Les différents types de micro-ordinateurs leur choix leurs applications - L'avenir

Conférencier Rodnay Zaks ingénieur E.C.D., Ph. D. Univ. de Berkeley

est l'auteur de plus de 30 ouvrages sur les microprocesseurs dont le dernier « An introduction to personal and business computing » best-seller aux USA, est désormais disponible en français.

III - Debat (16 h-18 h)

— Comment choisir son micro-ordinateur à usage personnel
— Tribune libre les différents constructeurs et distributeurs defendront leur produit face à l'assistance (président de Session prof David).

IV - Exposition (entrée libre)

Durant tout le séminaire une exposition permanente présentera les principaux modèles de micro-ordinateurs en vente sur le marché français.
Liste des produits présentés REA avec le AIM 65 / JCS avec le MK 14 et le Nascom I / Heathkit avec le H 8 et le H 11 / Proteus avec le Proteus III et IV / ERN avec le VIM / Euro-Computer Shop avec le SORCERER / Mato avec le TRS-80 / Sonotec avec Apple II / PROCEP / JANAL Computer Shop / ..VS, etc.

SYBEX EUROP

EUROPE
313, rue Lecourbe
75015 PARIS
Tél. (1) 828 25.02
Télex 200858

USA :
2020 Milvia St.
Berkeley, CA 94704
Tél. (415) 848.82 33

MICRO SYSTEMES

15, rue de la Paix, 75002 Paris. Tél. 296.46.97

COUPON D'INSCRIPTION

☐ Inscrivez-moi à la journée micro-systèmes
☐ Envoyez-moi vos renseignements sur vos livres SYBEX
☐ Ci-joint 98 F TTC à l'ordre de Micro-systèmes

Nom Profession
Société
Adresse
Tél.

ENVOYEZ A MICRO-SYSTEMES 15, rue de la Paix 75002 Paris

Un programme des signes du Zodiaque

Le logiciel (soft)

Ce programme occupe 20 lignes en tout, dont 13 contiennent un test séquentiel, sujet à amélioration si on utilisait un traitement de chaînes de caractères. Il peut donc tourner sur la plus petite machine qui soit.

Son but : fournir le signe du Zodiaque en réponse à la date et mois de naissance du demandeur.

Ne prêtez pas attention aux verdicts, car l'auteur est nul en astrologie. Retenez l'idée.

On entre deux numéros. Le premier représente le date du mois, « X », suivi du numéro de mois « Y ». Un perfectionnement pourrait prévoir une entrée sous forme de caractères, en indiquant le nom du mois en clair (ex : « 11, novembre »).

Le signe change tous les 21 du mois, donc les personnes nées le 21 feront partie du signe du mois suivant. On test incrementera de 1 le numéro de mois si nécessaire. Suivent 13 tests, se proposant d'identifier le code du mois entré, pour donner une réponse (fig. 1). Inutile de nous écrire au sujet de Y = 0. Si vous êtes né avant le 21 janvier, deux tests devant aboutir au même signe, on répondra à la période 22 décembre, 22 janvier sont prévus.

Cette suite de tests en séquence rappelle bien entendu les moniteurs hexadécimaux mal conçus, et plus précisément le sous-programme de reconnaissance d'ordre et d'indirection (la « switch routine » en hexadécimal) : il veut aller vite. Telle n'est pas la situation dans un programme distractif ou le dialogue homme-machine peut respecter l'échelle de temps du premier. Les perfectionnements seront bienvenus, nous serons heureux de nous en à nous écrire.

Le matériel (hard)

Les spécialistes auront peut-être reconnu sur le listing de la figure 2 le basic industriel implanté sur un I.C.D.S. par National Semiconducteur. Ils sont les premiers à avoir utilisé en France un basic implanté dans un système microprocesseur très, très bon marché parce qu'il s'agit du SC/MP permettant de travailler en basic (les photos 1, 2, 3, 4, 5 représentent la machine et les cartes).

1 - Carte Unité Centrale (le circuit intégré blanc), contenant un petit segment de RAM de service.

2 - Carte Mémoire, contenant 2 k-octets de RAM adressable par l'intermédiaire de petits straps sur un support DIL pour composants, au centre.

3 - Carte Basic en +K octets [illegible] EPROM (MM 5204-NS), version à usage industriel, très concise, plusieurs instructions ordinaires pouvant être incluses dans une ligne. Exemple :

Etiquette IF (Expression logique) THEN (Instruction ou nº de ligne) « IF »

utilise des calculs entiers sur 2 octets (± 32768 chiffre maxi).

4 - Carte Assembleur munie d'une seule passe ligne par ligne, Editeur de Texte (éventuellement [illegible]) et Programmeur d'E-PROM, pouvant fournir un ruban en DNPF ou en complément binaire. B.C.

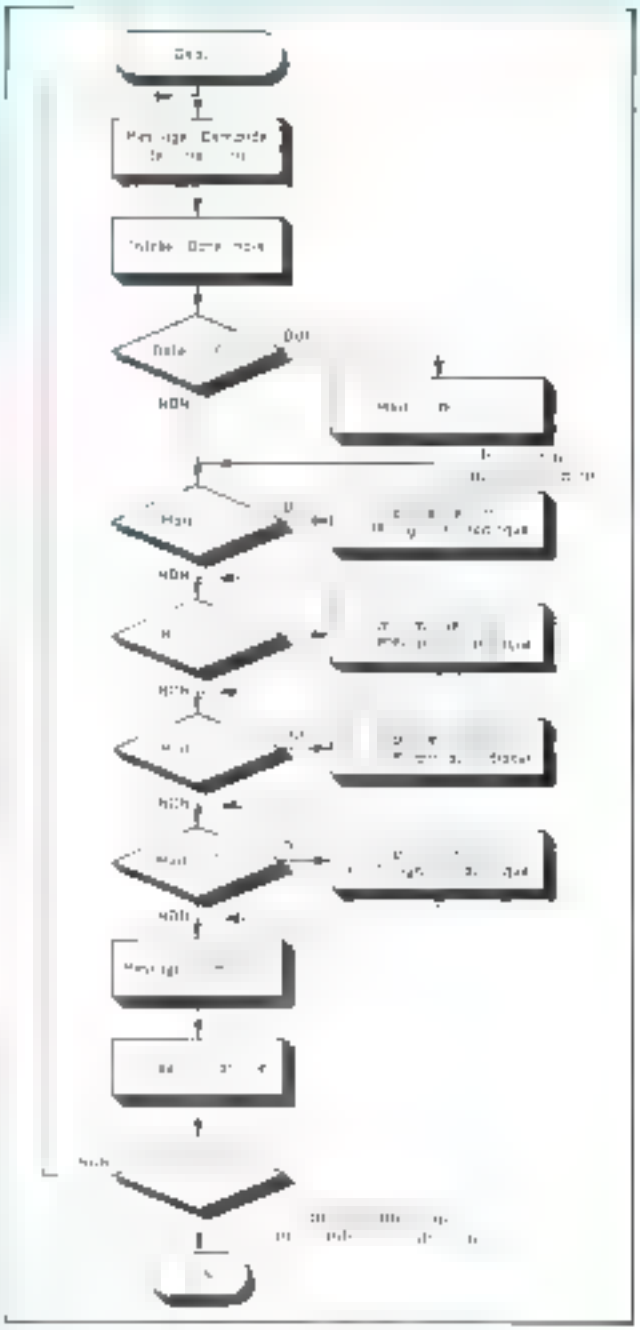
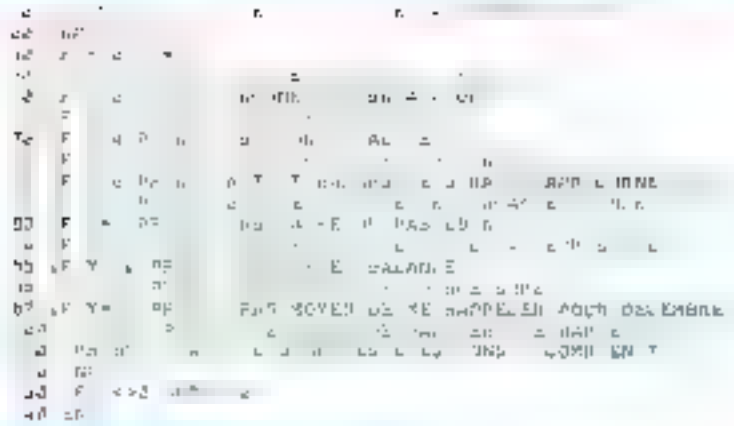


Fig. 1 - Organigramme. Remarquez les 13 tests d'identification [illegible] du mois entré.

Ces machines sont aimées par les écoles et universités. Le grand défaut du système était qu'à l'époque de son lancement il fonctionnait à partir d'une télétype, ou d'un autre terminal « lourd » pour les budgets amateur.

Des versions disposant de claviers encodés ASCII et de modulateurs U.H.F. et contrôleurs de C.R.T. pourront peut-être éliminer cet inconvénient. ■

A. DORIS



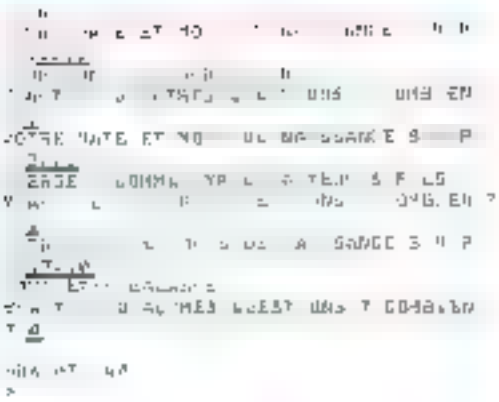
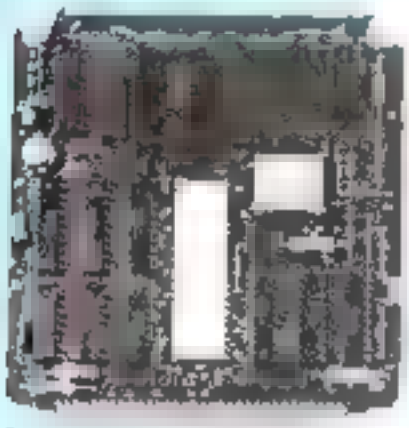
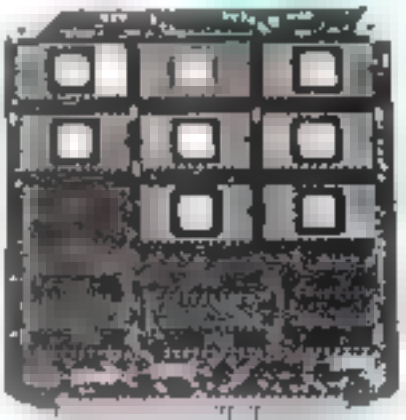


Fig. 3 — Le programme Basic ouvrant N figures [illegible]



1

2



3

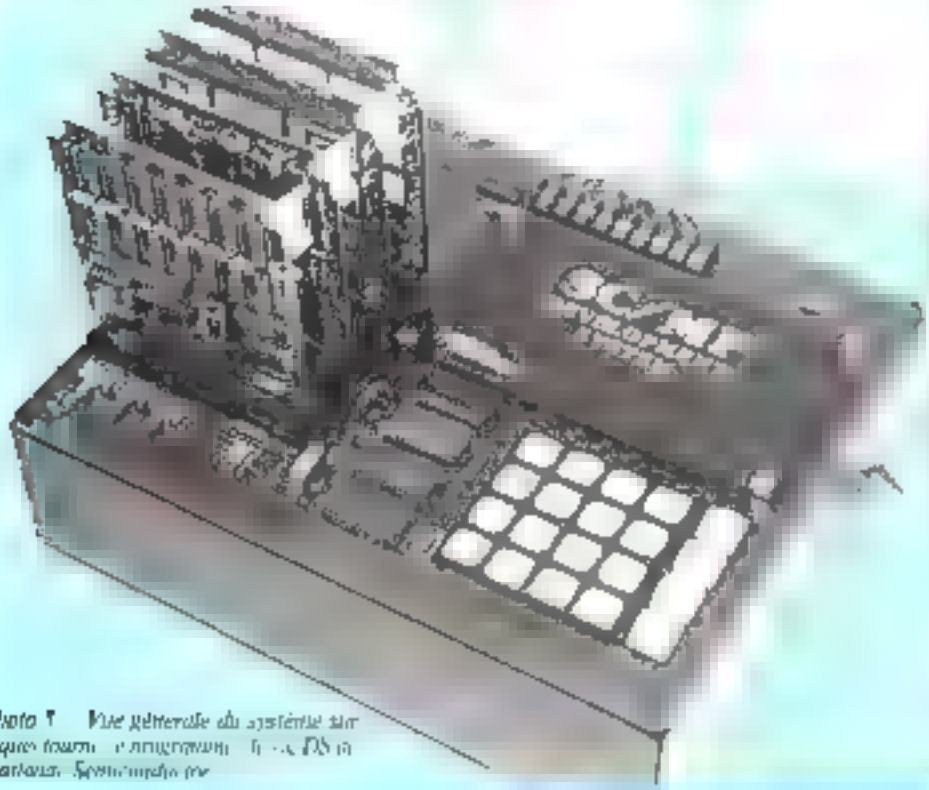
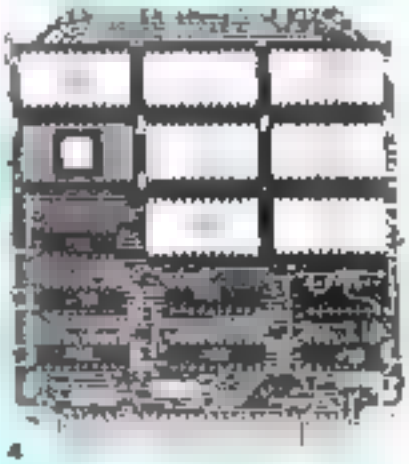


Photo 1 — Vue générale du système sur lequel tourne le programme Basic DS de Nanterre Spécialiste de



4

Photos 2, 3, 4. — Les 4 cartes NS permettent de travailler en Basic d'assemblage des programmes à l'objet du texte et de développer des EPR Mo-5 à partir d'un [illegible] DS

intel

Systèmes OEM | Microcalculateurs sur une carte

La solution de votre application

SYSTEME 80/10

Quelques exemples d'applications temps réel par secteur de marché

Contrôle industriel

Automatismes

Instrumentation

Développement de la logique câblée

Contrôle numérique

Périphériques intelligents

Acquisition et enregistrement de données

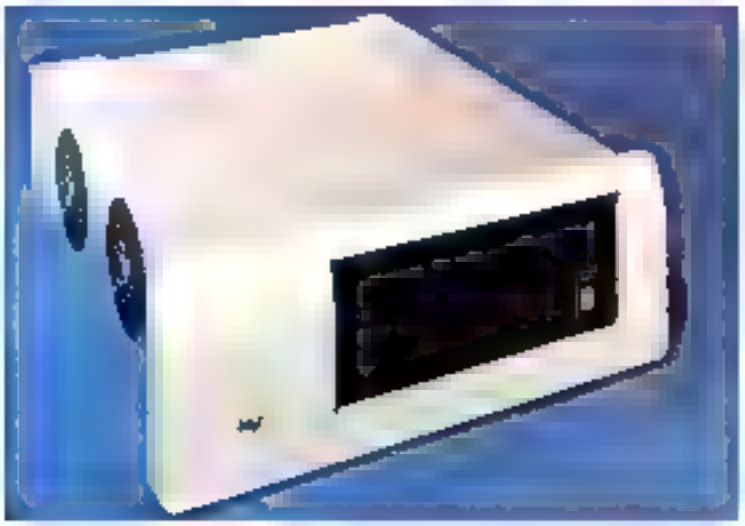
Systèmes de terminaux

SYSTEME 80/20-4

Logiciels temps réel

microcalculateur

VENEZ NOUS VOIR SUR NOTRE STAND A L'OCCASION DU SICOB. NIVEAU 3 ZONE C STAND 3301



CHASSIS iSBC 660

Cartes SBC

- iSBC 80/05 80/20 80/24 Cartes microcalculateurs pouvant fonctionner dans un environnement multiprocesseurs
- iSBC 016/032/048/064 Cartes mémoire vive Capacité 16 K 32 K 48 K 64 K octets
- iSBC 064 Carte mémoire vive CMOS 4 K octets
- iSBC 04 09 16 Cartes 4 K 8 K 16 K octets mémoire vive 8 K octets REPROM 48 entrées sorties programmables USART
- iSBC Carte arithmétique rapide câblée
- iSBC 416 Carte 16 K octets REPROM
- iSBC 50 Carte accès direct à la mémoire
- iSBC 506 Cartes 32 entrées 32 sorties
- iSBC 519 Carte 48 entrées-sorties programmables + USART
- iSBC 519 Carte 2 entrées sorties programmables
- iSBC 534 Carte pour communications séries 4 voies
- iSBC 566 Cartes 48 entrées sorties isolées optiquement
- iSBC Carte convertisseur A
- iSBC 26 Carte convertisseur A
- iSBC 30 Carte convertisseur D A programmable

Coupleurs et périphériques

- iSBC 20 Contrôleur disque souple simple densité
- iSBC 03 Contrôleur disque souple double densité
- iSBC 212 Disquette double drive avec contrôleur

Matériel compatible

- iSBC 53 Adaptateur Teletype
- iSBC 355 Cartes pour E S parallèles

Logiciel compatible

- RMX-80 Moniteur temps réel multitâches

MULTIBUS™

RMX 80

DEM

INTEL CORPORATION S.A.R.L.

TEKELEC AIRTRONIC

METROLOGIE

MICRO SYSTEMES

Comment souscrire un abonnement ?

— **par correspondance,** en utilisant le bulletin d'abonnement ci-dessous (ou une photocopie), à retourner à MICRO-SYSTEMES, 2 à 12, rue de Bellevue, 75940 Paris Cedex 19. Tél. 200.33.05

— **chez votre marchand de journaux habituel** en lui remettant le bulletin d'abonnement ci-dessous dûment rempli

A chaque numéro sa nouveauté

Bulletin d'abonnement

Nos tarifs

	FRANCE	ETRANGER
MICRO-SYSTEMES (6 numéros bimestriel an	☐ 49,00 F	76,00

Informations

– **pour les changements d'adresse** joindre la dernière étiquette d'envoi ou à défaut l'ancienne adresse accompagnée de la somme de 2,40 F en timbres-poste, et des références complètes de la nouvelle adresse.

– **pour tous renseignements** ou réclamations, concernant votre abonnement, joindre la dernière étiquette d'envoi

☐ Je m'abonne pour la première fois à partir du numéro paraissant au mois de

☐ Je renouvelle mon abonnement
et je joins mon ancienne étiquette d'envoi

Je joins à ce bulletin la somme de F
par
chèque postal ☐ sans numéro de compte
chèque bancaire ☐
– par mandat-lettre ☐
à l'ordre de **MICRO SYSTEMES**

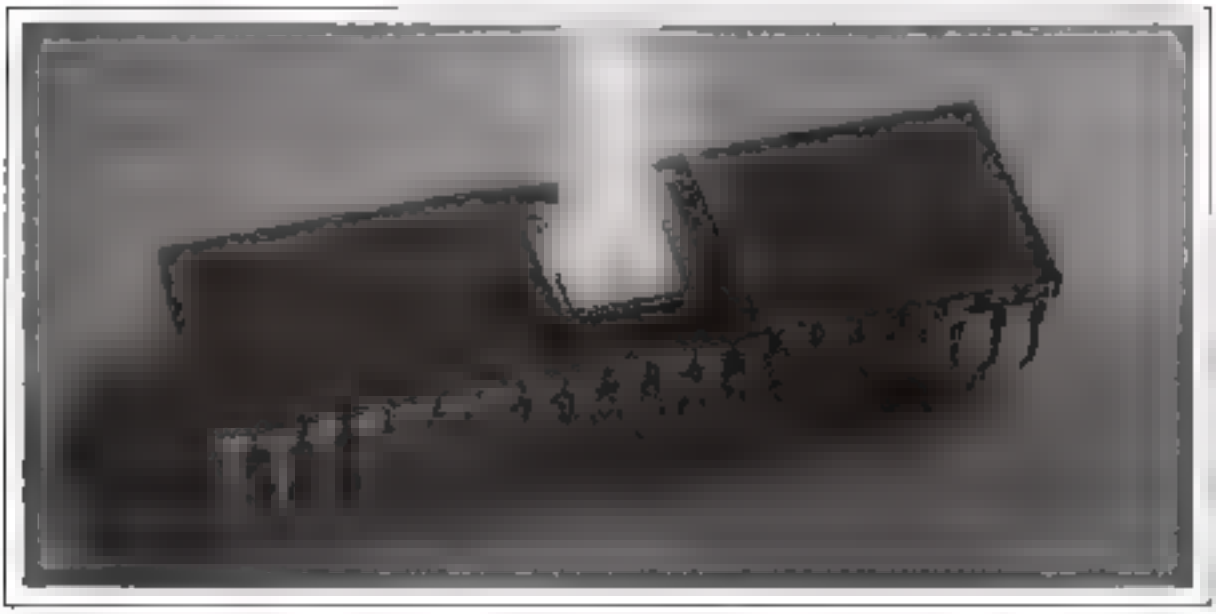
[illegible]

[illegible]

Dept	Cne	Quartier	

[illegible]

Les micro-ordinateurs : 8048 - 8049 8748 - 8035 et 8039 de Intel



La version reprogrammable du 8048 le 8748 effaçable aux ultra-violets Doc. Intel

Les récents progrès de la technologie des N MOS permettent d'intégrer suffisamment de composants sur une puce de silicium pour réaliser un micro-ordinateur en un boîtier contenant toutes les fonctions nécessaires à un système de traitement numérique

Le 8048, ses variantes (8748 et 8035) et ses circuits d'interface constituent une famille de micro-ordinateurs référencée MCS-48.

Un temps de cycle de 2,5 ou de 5 µs et un répertoire de plus de 90 instructions, font du 8048 l'égal de la plupart des microprocesseurs N MOS à plusieurs boîtiers actuellement disponibles.

En outre, et pour réduire les coûts de mise au point et de développement des projets, le constructeur a créé deux versions compatibles au niveau des broches du 8048

– Le 8048 à mémoire ROM programmable par masque pour les productions en série.

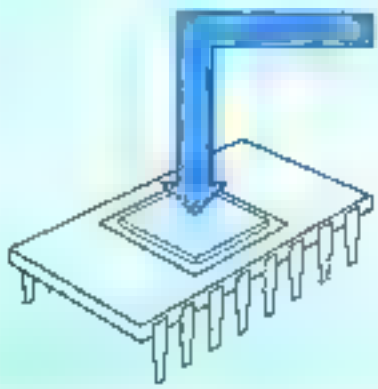
– Le 8748 à mémoire EPROM effaçable et programmable par l'utilisateur pour la mise au point de prototype

Ainsi, le 8748 peut être modifié à volonté durant le développement du produit, puis remplacé par le 8048 pour la production de masse

Le 8035 est un 8048 sans mémoire de programme interne, ce qui permet à l'utilisateur de satisfaire exactement ses exigences au niveau de la capacité mémoire et de choisir parmi une grande variété de mémoires celles correspondant à ses besoins

Enfin, deux nouveaux micro-ordinateurs en un boîtier sont apparus : le 8049 et le 8039. Le 8049, identique au 8048, contient 2 K-octets de mémoire programme et 128 octets de mémoire de données (au lieu de 1 K-octet et 64 octets). Le 8039 est similaire au 8049 mais ne possède pas de mémoire de programme.

Caractéristiques essentielles de la famille MCS-48



- Unité centrale 8 bits avec ROM, RAM et ports d'entrée-sortie en un boîtier
- Alimentation unique + 5 V ± 10 %
- Boîtier 40 broches
- Compatibilité des broches entre le 8048, 8748, 8049, 8035 et 8039
- Plus de 90 instructions dont 70 % sur un octet
- Temps de cycle de 2,5 µs, toutes les instructions étant exécutables en 1 ou 2 cycles
- 27 lignes d'entrée-sortie
- Timer/compteur d'événements de 8 bits
- Oscillateur et circuit d'horloge
- Niveau à interruption

* (A TO)
1 plus [illegible] Bauno
Z [illegible] Sink
80 [illegible]
Te [illegible]

Les micro-ordinateurs 8048 - 8049 - 8748 - 8035 et 8039 sont en tous points compatibles et ne se différencient que par leur capacité mémoire

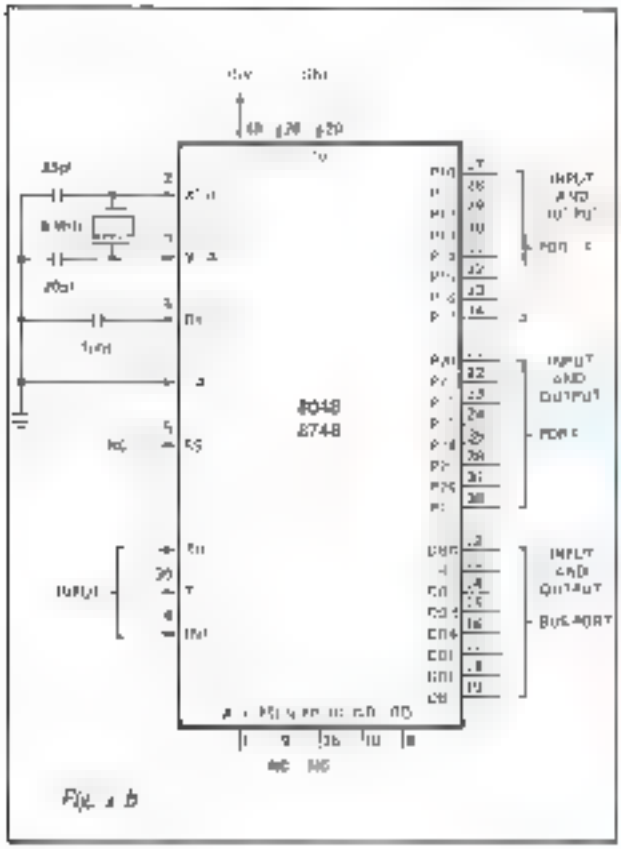


Fig. 1 b

Fig. 1 b et 1 c
Symbole logique et brochage du 8048

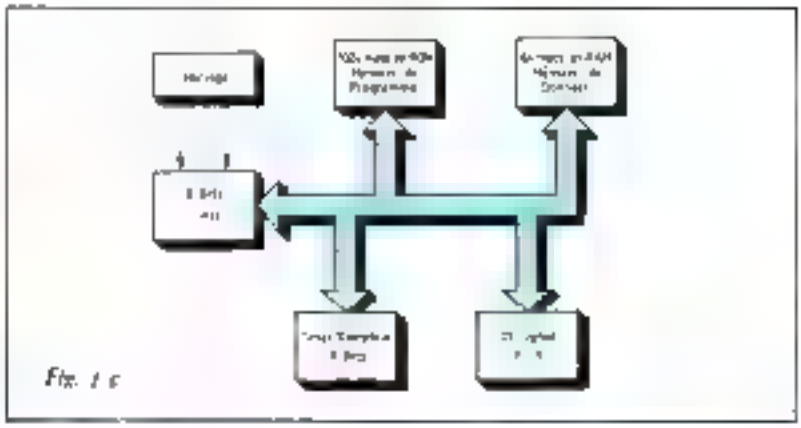


Fig. 1 c

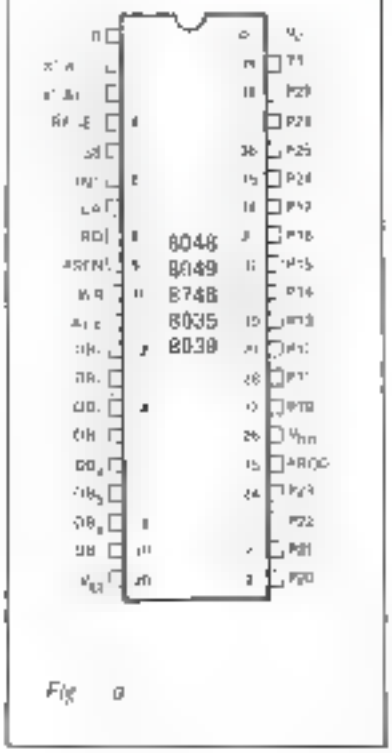


Fig. 1 a

Fig. 1 a
Brochage des micro-ordinateurs 8048 - 8049 - 8748 - 8035 et 8039

Description des broches

Ref.	Broche	Fonction
V_{SS}	20	0 V
V_{DD}	26	Alimentation programmation Alimentation faible consommation (stand-by) dans la version ROM 8048
V_{CC}	40	Alimentation principale
PROG	25	Entrée de l'impulsion de programmation (+ 25 V) pour le 8748 Sortie « strobe » pour le 8243 (extension E/S)
P_{10}-P_{17}	27-34	Port 1 : 8 bits quasi bidirectionnel
P_{20}-P_{27}	21-24 35-38	Port 2 : 8 bits quasi bidirectionnel
D_0-D_7 (BUS)	12-19	Port bidirectionnel 8 bits
T_0	1	Broche d'entrée testable
T_1	39	Broche d'entrée testable
$\overline{INT}$	6	Entrée interruption
$\overline{RD}$	8	Sortie échantillonnée pendant une lecture du BUS
$\overline{RESET}$	4	Initialise le processeur
$\overline{WR}$	10	Sortie échantillonnée lors d'une écriture sur le BUS
ALE	11	Validation de l'adresse
$\overline{PSEN}$	9	Validation d'un programme stocké dans une mémoire externe
$\overline{SS}$	5	Entrée pas à pas
EA	7	Entrée d'accès externe (pour la programmation du 8748)
XTAL	2	Entrée quartz ou horloge externe
XTAL 2	3	Entrée quartz

Caractéristiques generales

Le 8048 est un micro-ordinateur complètement autonome qui traite des mots de 8 bits en parallèle. Livré dans un boîtier 40 broches, il contient une mémoire de programme en ROM de 1 K x 8 bits (1 Kilooctet), une mémoire de données en RAM de 64 x 8 bits, 27 lignes d'entrée-sortie et un compteur-temporisateur de 8 bits. De plus, l'oscillateur et les circuits d'horloge sont intégrés dans le boîtier.

Les figures 1 a, b, c, représentent le brochage, le symbole logique et le block diagramme du 8048. Son organisation interne est donnée figure 2.

Les systèmes exigeant une capacité supérieure peuvent être étendus en utilisant des mémoires standards et des circuits d'interface de la famille du 8080 ou du 8085.

Afin de réduire les problèmes de développement et pour fournir le maximum de souplesse il existe plusieurs versions interchangeables et compatibles de ce micro-ordinateur.

Tableau 1
Caractéristiques mémoires des micro-ordinateurs mono-puce de la famille MCS-48

Micro ordinateur	Mémoire de données	Mémoire de programme	Mode de programmation
8048	ROM 1K x 8	RAM 64 x 8	Programmable par masque chez le fabricant
8049	ROM 2K x 8	RAM 28 x 8	
8748	EPROM K x 8	RAM 64 x 8	Programmable par l'utilisateur
8035	Néant	RAM 64 x 8	Mémoire de programme en ROM ou PROM externe
8039	Néant	RAM 28 x 8	

Ces produits et les systèmes de prescan ser ont développés avec un 8748 et sa mémoire de programme EPROM effaçable aux ultra-violets et programmable par l'utilisateur.

Les grandes séries feront appel au 8048 qui possède une mémoire de programme type en ROM et programmée par masque chez le constructeur.

Le 8035 ne possède pas de mémoire de programme et par conséquent nécessite l'adjonction de mémoires externes adaptées au système.

Les micro-ordinateurs 8748, 8035, 8049 et 8039 sont en tous points identiques au 8048 (même brochage, mêmes instructions, même nombre de lignes d'entrée-sortie). Les particularités inhérentes à chacun de ces circuits se situent uniquement au niveau de la mémoire de données (en RAM) et de la mémoire de programme (en ROM ou EPROM).

Le tableau 1 indique les caractéristiques mémoires des différentes versions du 8048.

Architecture

Nous décrirons successivement dans ce chapitre les différentes fonctions de l'ensemble apparaissant sur le block diagramme de la figure 2.

La partie arithmétique

Cette section arithmétique comprend les fonctions de base de manipulation des données et peut être divisée en :

- A.L.U. Arithmetic Logic Unit (unité arithmétique et logique)
- Accumulateur A
- Flag de retenue
- Décodeur d'instruction

Dans une opération courante la donnée stockée dans l'accumulateur est traitée dans l'A.L.U. avec la

Fig. Organisation interne du 8048

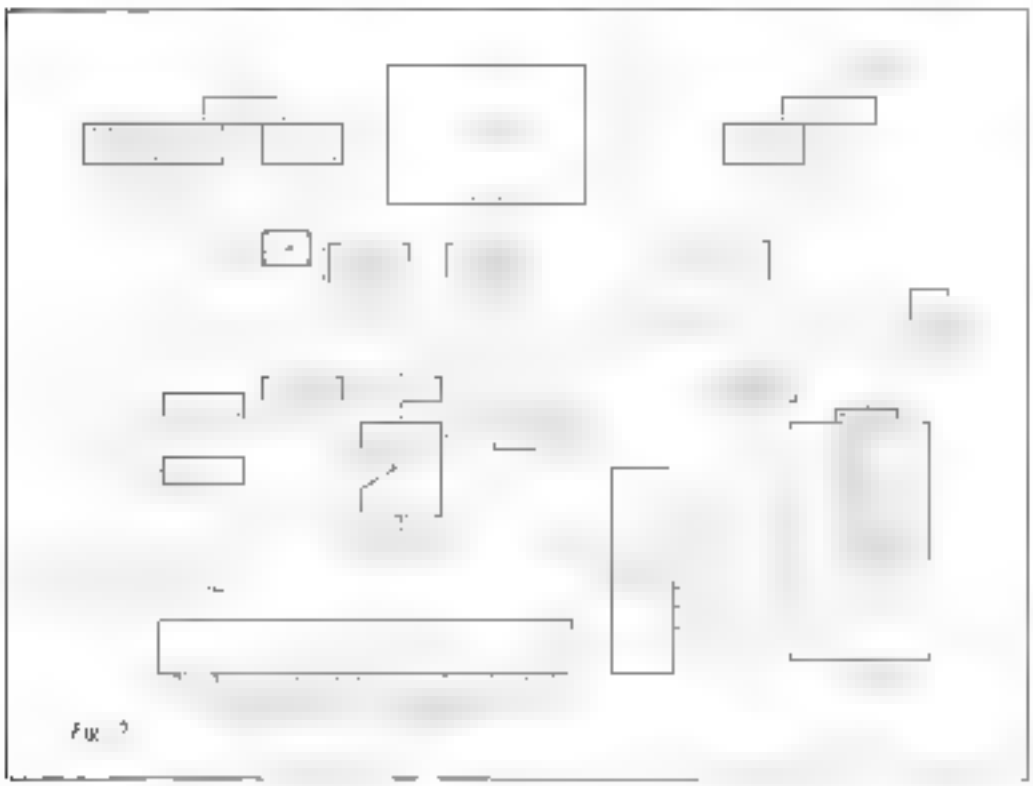


Fig. 2

Le 8048 possède 27 lignes d'entrée-sortie organisées en 3 ports et 7 entrées « Test »

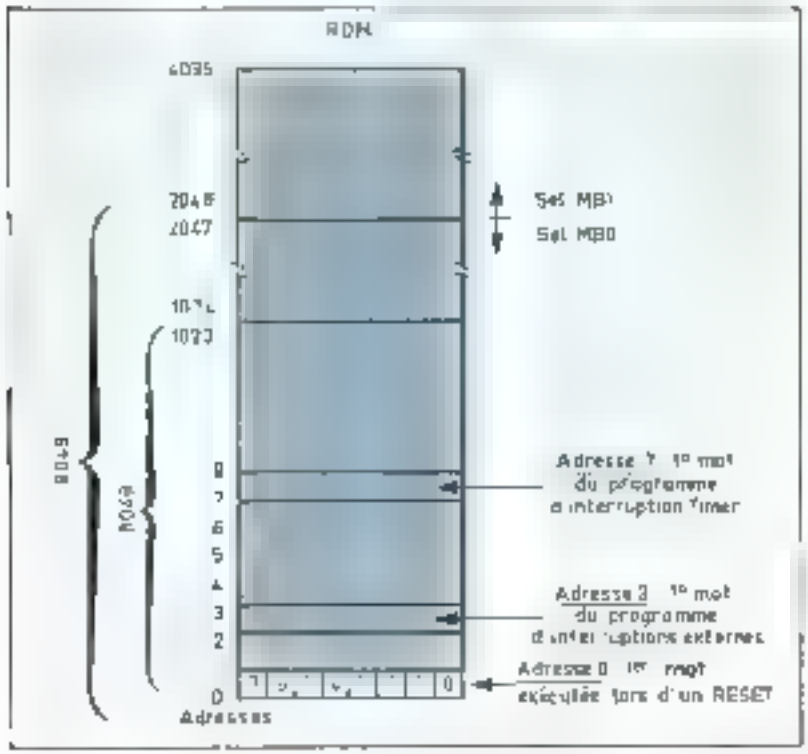


Fig. 3
La mémoire de programme et ses emplacements particuliers.

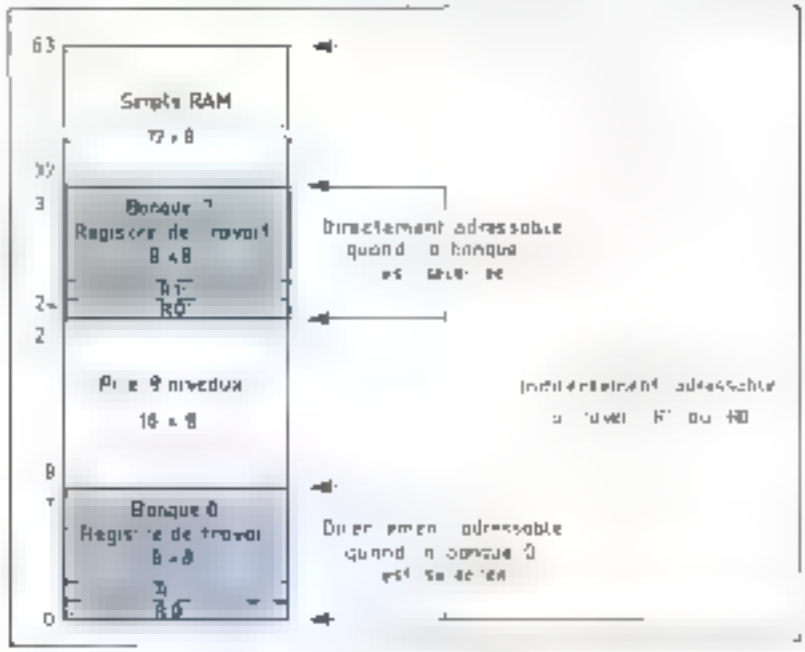


Fig. 4
Organisation de la mémoire de données (version de base).

donnée issue d'une autre source présente sur le BUS interne (Registre mémoire RAM) et la sauvegarde mémorisée dans A ou dans un registre.

La mémoire de programme

La mémoire de programme, intégrée dans le boîtier est organisée en 1024 ou 2048 mots de 8 bits adressés par le compteur de programme (en ROM pour les 8048 et 8049 et 256 x 8 pour le 8748).

Ces instructions sont compatibles entre chaque version du 8048.

Il y a trois emplacements mémoire qui ont une importance toute particulière (fig. 3) :

— **Emplacement 0** : lorsque la ligne RESET est activée, le processeur recherche la première instruction à exécuter à l'adresse 0.

— **Emplacement 3** : la ligne d'interruption étant activée, le processeur exécute un saut en un sous-programme (si l'interruption est validée).

— **Emplacement 7** : à chaque débordement de capacité du Timer/compteur (celui-ci étant validé) une interruption est générée et saut en sous-programme (si l'interruption est validée).

Ainsi, la première instruction à être exécutée après initialisation est stockée à l'adresse 0, le premier mot d'un sous-programme d'une interruption externe est stockée à l'adresse 3 et le premier mot d'une routine de service du Timer/compteur à l'adresse 7.

La mémoire de programme peut être utilisée pour mémoriser des constantes aussi bien qu'un programme d'instructions.

Mémoire de données

La mémoire de données résidente (celle qui est dans le boîtier) est organisée en 64 ou 128 mots de 8 bits. Tous les emplacements mémoire sont adressables (adressage indirect à l'aide de deux registres pointeurs R_0 et R_1 stockés en RAM aux adresses 0 et 1 de la zone de registres (fig. 4).

En outre, les 8 premières adresses (0 à 7), réservées comme registres de travail, sont directement adressables par plusieurs instructions.

Puisque l'accès à ces registres est direct, ils sont généralement employés pour mémoriser des résultats intermédiaires fréquemment utilisés.

Lors de l'exécution d'une instruction « Select Register Bank » (Sel RB), les cases mémoire 24 à 31 désignées en tant que registres de travail au lieu des emplacements 0-7 sont alors directement adressables.

Cette deuxième banque de registres est employée comme une extension de la première banque ou réservée pour un sous-pro-

* Memory Bank Switching = commutation de banque mémoire.

gramme « interruption permettant aux registres de la banque 0 utilisés dans le programme principal d'être instantanément sauvés

Notez que si cette deuxième banque de registres n'est pas utilisée dans votre programme, ses 8 octets sont disponibles pour être exploités comme mémoire générale en RAM.

Les entrées/sorties (E/S ou I/O)

Le 8048 possède 27 lignes d'entrées/sorties organisées de la façon suivante

- 8 lignes d'entrée/sortie de 8 lignes chacun soit 24 lignes E/S.
- 3 entrées « Test » qui modifient la séquence du programme, en fonction de leurs états, lorsqu'une instruction de saut est conditionnée par ces lignes

Les ports 1 et 2

Les ports 1 et 2 de 8 bits ont des caractéristiques identiques. Les données écrites dans ces ports sont stockées statiquement dans un registre de sortie jusqu'à ce qu'une nouvelle donnée soit écrite. En tant que port d'entrée, ces lignes ne sont pas « latchées » c'est-à-dire que les données doivent être présentes jusqu'à leur lecture par une instruction d'entrée IN A, P. Pour ces raisons, les 2 ports portent l'appellation « ports quasi bidirectionnels ».

Le BUS

Le BUS est un vrai port 8 bits bidirectionnel latché. Il peut être isolé en entrée et en sortie.

L'instruction OUTL BUS, A transfère le contenu de l'accumulateur A dans le BUS et l'instruction INS A, BUS mémorise dans A la donnée présente sur le BUS. Ces deux instructions génèrent des signaux de validation respectivement sur les lignes RD et WR.

Lorsqu'elles ne sont pas lues ou écrites, les lignes de BUS sont à l'état haute impédance.

Entrées « Test » et « INT »

Deux broches d'entrée sont réservées à l'aide d'une instruction de saut conditionnel T0, T1 et INT. Ces entrées provoquent un débranchement du programme sans pour cela changer le port d'entrée dans l'accumulateur.

Le compteur de programme (PC)

Il pointe toujours sur l'octet suivant celui contenant le code de l'instruction en cours. Il est initialisé à zéro lorsque la ligne RESET est activée.

La pile

Une interruption ou l'appel d'un sous-programme (CALL) sauve le contenu du compteur de programme dans les 8 paires de registres d'une zone mémoire appelée pile (fig. 6). La paire utilisée est déterminée par un pointeur de pile (stack pointer) de 3 bits présent dans le mot d'état PSW ou Program Status Word). La figure 7 représente la constitution du PSW.

Les emplacements mémoire (RAM 8 à 23 sont disponibles en tant que pile de registres et utilisés pour stocker le compteur de programme et les 4 bits de poids fort du mot d'état.

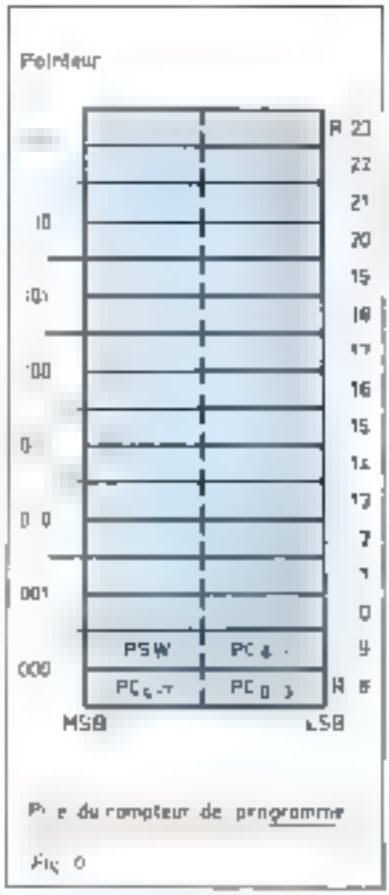


Fig. 6

Fig. 7

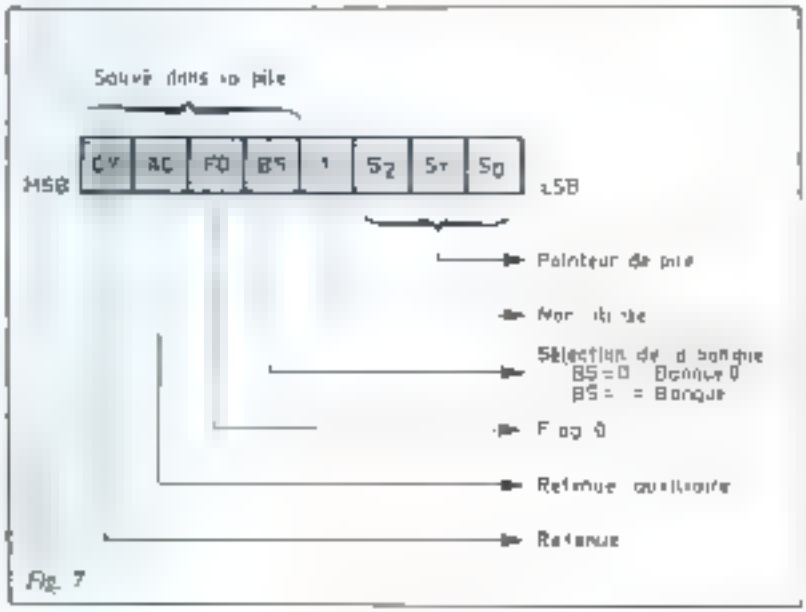


Fig. 7
Les 8 bits du mot d'état du PSW

La longueur d'onde recommandée pour effacer la mémoire EPROM du 8748 est de 2537 Angstroms

Quand le pointeur de pile est initialisé à 000, les emplacements RAM adressés sont 8 et 9. Le premier sous-programme de sous un d'interruption transfère le contenu du compteur de programme aux emplacements 8 et 9. Le pointeur de pile est ensuite incrémenté de et donne les adresses 10 et 11 et ainsi de suite pour les autres CALL.

Le Timer/compteur d'evenements

Le 8048 contient un compteur destiné à permettre aux utilisateurs de comptabiliser des evenements et permet de générer avec precision des temporisations sans pour cela avoir recours à des circuits supplémentaires pour realiser ces fonctions. Dans les deux cas l'operation de comptage est la même la seule difference reside dans le choix de l'entrée du compteur.

Le compteur

Le compteur binaire de 8 bits peut être positionné et lu à l'aide de deux instructions MOV qui transferent le contenu de l'accumulateur dans le compteur et vice versa : MOV T,A et MOV A,T.

Le contenu du compteur n'est pas affecté par un RESET et est incrémenté par chaque MOV T,A qu'elle suive. Le comptage est arrêté par un RESET ou par une instruction STOP TCNT et ne redemarre qu'après une instruction START T pour le comptage

START CNT pour le comptage d'evenements

Une fois armé le compteur est incrémenté jusqu'à ce qu'il atteigne la valeur maximum de FF. Puis cette valeur il continuera son comptage du point 00 après avoir positionné un signal de depassement* de capacité (bit ou flag de dépassement) et demandé la génération d'une séquence d'interruption. L'état du bit de dépassement de capacité peut être testé par une instruction de sous conditionnel JTF. Ce bit est annulé soit par un RESET soit par l'execution de [illegible] JTF. Une demande d'interruption est stockée dans une mémoire flash et un OL logique est executé avec l'entrée externe d'interruption INT. L'interruption issue du timer peut être validée ou interdite indépendamment de INT par les instructions EN TCNTI et DIS TCNTI. Si l'interruption est autorisée, le dépassement de capacité du compteur provoquera un appel de sous-programme à l'emplacement 7 de la mémoire de programme où la routine de service du timer/compteur doit être stockée. Si le microprocesseur reçoit simultanément des interruptions issues de l'exterieur et du timer, les interruptions externes seront prises en compte et le « CALL » se fera à l'adresse 3.

Compteur d'évenements

L'exécution de l'instruction START CNT connecte la broche T1 à l'entrée du compteur et valide le comptage. Ainsi, un front descendant sur T1 incrementera le compteur. Le comptage peut être realisé au maximum une fois par cycle de nos instructions (c'est-à-dire toutes les 7,5 µs avec un quartz [illegible]).

D'autre part l'entrée T1 doit rester à l'état « 1 » au moins 500 ns après chaque instruction.

Temporisateur

L'execution de l'instruction START T [illegible] interne à l'entrée du compteur et valide le comptage. Le signal d'horloge est divisé de façon à obtenir une fréquence de 2,5 kHz qui incremente le compteur toutes les 80 µs. Des temps de temporisation allant entre 80 µs et 21 ms [illegible] peuvent être obtenus en positionnant le compteur et le bit de dépassements.

Des temporisations supérieures à 21 ms sont obtenues en accumulant les bits de dépassement dans un [illegible] sous contrôle du logiciel.

Le 8748 : programmation, vérification et effacement

La mémoire de programme du 8748 peut être effacée et reprogrammée par l'utilisateur.

Programmation et verification

Le processus de programmation [illegible] :

1. Activer le mode programmation
2. Appliquer une adresse
3. Memoriser cette adresse
4. Appliquer une donnée
5. Envoyer une impulsion de programmation + 25 V

La figure 8 represente le [illegible] ses operations à effectuer et indique la liste des broches employées, lors d'une programmation, ainsi que leurs fonctions respectives.

Sachons qu'il existe deux outils d'aide à la mise au point commercialisés par le constructeur. Le premier appelé **PROMT 48** est un système à bas prix qui porte essentiellement sur un langage orienté vers la machine. Le second est le système de développement de microprocesseur [illegible]. Il offre donc un accès à un langage d'assemblage.

L'effacement du 8748

Pour effacer la mémoire de programme du 8748 il faut l'exposer aux ultra-violets (longueur d'onde recommandée par le fabricant : 2537 Angstroms (Å)). La dose [illegible] nécessaire est proportionnelle à l'intensité x temps d'exposition et doit être au minimum de 15 W-sec/cm². Le [illegible] peut être [illegible] par un [illegible] de 15 à 20 mn en utilisant une lampe d'une puissance de 12 000 µW/cm².

Le 8748 doit être placé à une distance de 2 à 3 cm du tube durant [illegible].

Le logiciel

Les micro-ordinateurs de la famille MCS-48 sont dotés de 91 instructions d'une longueur de 1 ou 2 octets. Plus de 70 % de ces instructions sont codées sur 1 octet seulement. Chacune de ces instructions est exécutée en un ou deux cycles* c'est-à-dire en 2,5 µs ou 5 µs, lorsque le signal d'horloge est délivré par un quartz de [illegible]. Les instructions exécu-

[illegible]

* Temps de cycle : temps minimum nécessaire au déroulement de l'une [illegible] d'une instruction

bles en deux cycles sont principalement les instructions « mnémoniques » d'entrées/sorties.

Le tableau II indique la liste des instructions exécutables par le 8048. Vous y retrouverez le mnémonique ou l'abréviation anglo-saxonne de l'instruction, sa description sous code binaire sur deux hexadécimal chaque fois que cela a été possible, la longueur de l'instruction en octets et sa durée d'exécution en nombre de cycles.

Pour réduire la place occupée par ce tableau, la description des instructions a été simplifiée au maximum en essayant la plus concise possible. Les remarques ci-dessous vous aideront, nous l'espérons, à le comprendre plus facilement.

1 Le signe @

Exemple : A,@R

Cette expression signifie que le contenu de l'emplacement mémoire adressé par les bits 0 et 1 du registre R est additionné à l'accumulateur A. Ceci a été résumé par « Addition de la donnée adressée par R à A ».

Le type d'instruction ne peut être exécuté qu'avec deux registres R0 et R1 qui sont codés 0 et 1 respectivement.

2 Le signe #

Exemple : ADD A,#data

Instruction exécutable en deux cycles. La donnée présente dans le deuxième octet est additionnée à l'accumulateur. En fait le code de l'instruction est

0 0 0 0 0 0 1 1

2e octet (donnée)

3 Lorsqu'un registre R est spécifié parmi les 8 registres de travail disponibles (R0 à R7), le registre choisi est codé sur 3 bits représentés dans ce tableau par rrr. Il suffit de remplacer rrr par le nombre binaire correspondant pour connaître le code de l'instruction.

4 Dans les instructions d'entrée/sortie, les ports exécutent au boitier sont codés de la façon suivante :

Bits pp	Port
0 0	4
0 1	5
1 0	6
1 1	7

[illegible] 2 octets [illegible]
[illegible] A, [illegible] = [illegible]
[illegible] = [illegible]

2 Instruction du 8748 dans son ensemble.

3 Pour Tem. 0 = 0 à [illegible]

5 Prenant l'adresse par BUS et [illegible]

6 RESET = 1 Initialisation de [illegible]

7 Appliquer les données sur le BUS [illegible] échantillonnées à [illegible] descendant.

PROG = 0 [illegible] une impulsion [illegible]

[illegible] = 5 V

8 Tem. 0 = 5 V, retour à [illegible]

9 Lire et vérifier les données sur le BUS

[illegible]

10 RESET = 0 + 5 V, le compteur [illegible] à partir du point 5.

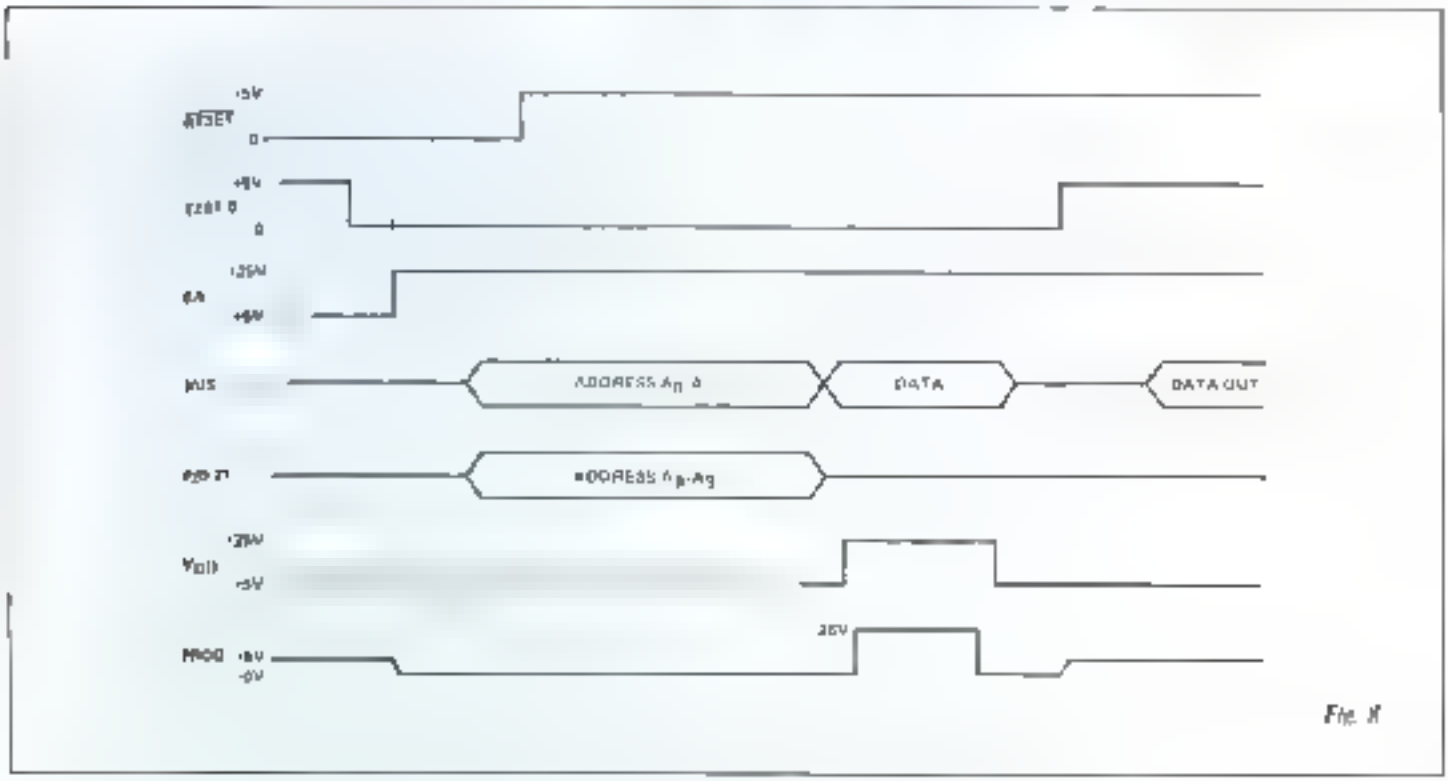


Fig. 8

Mnemonique	Description	Code	Code hexadec	Nbre d'octets	Nbre de cycles
Accumulateur					
ADD A,R	Addition du registre R à A	0 1 1 0 1 r r r		1	1
ADD A,@R	Addition de la donnée adressée par R à A	0 1 1 0 0 0 0 r	—	1	1
ADD A,# data	Addition immédiate à A	0 0 0 0 0 0 1 1	0 3	2	2
ADDC A,R	Addition de R et du bit de retenue à A	0 1 1 1 1 r r r	—	1	1
ADDC A,@R	addition de la donnée adressée par R et du bit de retenue à A	0 1 1 1 0 0 0 r	—	1	1
ADDC A,# data	Addition immédiate de la donnée et du bit de retenue à A	0 0 0 1 0 0 1 1	1 3	2	2
ANL A,R	ET logique entre le registre R et A	0 1 0 1 1 r r r		1	1
ANL A,@R	ET logique donnée adressée par R et A	0 1 0 1 0 0 0 r	—	1	1
ANL A,# data	ET logique immédiat avec A	0 1 0 1 0 0 1 1	5 3	2	2
ORL A,R	OU logique entre le registre R et A	0 1 0 0 1 r r r	—	1	1
ORL A,@R	OU logique donnée adressée par R et A	0 1 0 0 0 0 0 r		1	1
ORL A,# data	OU logique immédiat avec A	0 1 0 0 0 0 1 1	4 3	2	2
XRL A,R	OU exclusif entre le registre R et A	1 1 0 1 1 r r r	—	1	1
XRL A,@R	OU exclusif donnée adressée par R et A	1 1 0 1 0 0 0 r		1	1
XRL A,# data	OU exclusif immédiat avec A	1 1 0 1 0 0 1 1	D 3	2	2
INC A	Incrémenter A	0 0 0 1 0 1 1 1	1 7	1	1
DEC A	Décrémenter A	0 0 0 0 0 1 1 1	0 7	1	1
CLR A	Remise à zéro de A	0 0 1 0 0 1 0 0	2 4	1	
CPL A	Le contenu de A est complémenté	0 0 1 1 0 1 1 1	3 7	1	1
DA A	Ajustement décimal de A	0 1 0 1 0 1 1 1	5 7	1	1
SWAP A	Les bits 0 à 3 de A sont échangés avec les bits 4-7	0 1 0 0 0 1 1 1	4 7	1	1
RL A	Rotation à gauche de A	1 1 1 0 0 1 1 1	E 7	1	1
RLC A	Rotation à gauche de A à travers la retenue	1 1 1 1 0 1 1 1	F 7	1	1
RR A	Rotation à droite de A	0 1 1 1 0 1 1 1	7 7	1	1
RRC A	Rotation à droite de A à travers la retenue	0 1 1 0 0 1 1 1	6 7	1	1
Entrée-Sortie					
IN A,P	Entrée, le contenu du port (1 ou 2) est transféré dans A	0 0 0 0 1 0 p p		1	2
OUTL P,A	Sortie, A est transféré dans le port p (1 ou 2)	0 0 1 1 1 0 p p	—	1	2
ANL P,# data	ET logique immédiat avec le port p (1 ou 2)	1 0 0 1 1 0 p p		2	2
ORL P,# data	OU logique immédiat avec le port p (1 ou 2)	1 0 0 0 1 0 p p	—	2	2
INS A,BUS	Entrée, la donnée présente sur le BUS est transférée dans A	0 0 0 0 1 0 0 0	0 8	1	2
OUTL BUS,A	Sortie, A est transféré dans le BUS	0 0 0 0 0 0 1 0	0 2	1	2
ANL BUS,# data	ET logique immédiat avec le BUS	1 0 0 1 1 0 0 0	9 8	2	2
ORL BUS,# data	OU logique immédiat avec le BUS	1 0 0 0 1 0 0 0	8 8	2	
MOVD A,P	Entrée, le port (4 à 7) est transféré dans A	0 0 0 0 1 1 p p			
MOVD P,A	Sortie, A est transféré dans un port externe (4 à 7)	0 0 1 1 1 1 p p		1	2
ANLD P,A	ET logique entre un port externe et A	1 0 0 1 1 1 p p		1	2
ORLD P,A	OU logique entre un port externe et A	1 0 0 0 1 1 p p		1	2
Registres					
INC R	Incrémenter le registre R	0 0 0 1 1 r r r	—	1	
INC @R	La donnée adressée par R est incrémentée	0 0 0 1 0 0 0 r		1	
DEC R	Décrémenter le registre R	1 1 0 0 1 r r r	—	1	1
Branchement					
JMP addr	Saut inconditionnel à l'adresse spécifiée	a10 a9 a8 0 0 1 0 0		2	2
JMPP @A	Saut indirect adressage par A	1 0 1 1 0 0 1 1	B 3	1	2
DJNZ R,addr	Décrémentation et test de R. Saut si R ≠ 0	1 1 1 0 1 r r r		2	2
JC addr	Saut si la retenue est à 1	1 1 1 0 0 1 1 0	F 6	2	2
JNC addr	Saut si la retenue est à 0	1 1 1 0 0 1 1 0	E 6	2	2
JZ addr	Saut si A = 0	1 1 0 0 0 1 1 0	C 6	2	2
JNZ addr	Saut si (A) ≠ 0	1 0 0 1 0 1 1 0	9 6	2	2
JTO addr	Saut si le test TO est à 1	0 0 1 1 0 1 1 0	3 6	2	2
JNTO addr	Saut si TO = 0	0 0 1 0 0 1 1 0	2 6	2	2
JT addr	Saut si T = 1	0 1 0 1 0 1 1 0	5 6	2	2

Mnemonique	Description	Code	Code hexadéc.	Nbre d'octets	Nbre de cycles
JNT1 addr	Saut si T1 = 0	0100 0110	46	2	2
JF0 addr	Saut si le flag 0 est à	1011 0110	B6	2	2
JF1 addr	Saut si le flag 1 est à	0111 0110	76	2	2
JTF addr	Saut si le flag [illegible]	0[illegible]	[illegible]	2	[illegible]
JNI addr	Saut si l'entrée d'interruption est à 0 (INT)	1000 0110	86	2	2
JBb addr	Saut si le bit b (parmi 8) de A est à 1	b2b1b0 0010		2	2
Sous-programme					
CALL	Saut à un sous-programme	a10a9a8 0100	—	2	2
RET	Retour [illegible]	0000 0011	83	1	[illegible]
RETR	Retour [illegible]	1001 0011	93	1	[illegible]
Flags					
CLR C	Mise à zéro du flag retenue	1001 0111	97	1	
CPL C	Complémenter le bit de retenue	1010 0111	A7	1	1
CLR F0	Mise à zéro du flag 0	1000 0101	85	1	1
CPL F0	Complémenter le flag 0	1001 0101	95	1	1
CLR F1	Mise à zéro du flag	1010 0101	A5	1	[illegible]
CPL F1	[illegible]	[illegible]	B5	1	[illegible]
Transfert de données					
MOV A,R	Transfert du registre R dans A	1111 1rrr			
MOV A,@R	Transfert d'une donnée adressée par R dans A	1111 0001			
MOV A,# data	Chargement immédiat de A	0010 0011	23	2	2
MOV R,A	Transfert de A dans le registre R	1010 1rrr			
MOV @R,A	Transfert de A dans une case mémoire adressée par R	[illegible]0 1010			
MOV R,# data	Chargement de la donnée dans le registre R	1011 1rrr		2	2
MOV @R,# data	Transfert de la donnée dans la mémoire adressée par R	1011 0001	B1	2	2
MOV A,PSW	Transfert du mot d'état (PSW) dans A	1100 0111	C7	1	1
MOV PSW,A	Transfert de A dans le mot d'état	1101 0111	D7	1	1
XCH A,R	Echange de A et du registre R	0010 1rrr		1	1
XCH A,@R	Echange de A et d'une donnée adressée par R	0010 0001	—	1	1
XCHD A,@R	Echange de A et [illegible]	[illegible]			1
MOVX A,@R	Transfert d'une donnée adressée par R dans A	1000 0001	—		2
MOVX @R,A	Transfert de A [illegible]	[illegible]			[illegible]
MOVP A,@A	Transfert d'une donnée adressée par A dans A	1010 0011	A3	1	2
MOVP1 A,@A	[illegible]	[illegible]	[illegible]	[illegible]	[illegible]
Timer-compteur					
MOV A,T	Transfert du Timer/compteur dans A	0100 0010	42	1	1
MOV T,A	Transfert de A dans le Timer/compteur	0110 0010	62	1	1
STRT T	Démarrage du timer	0101 0101	55	1	1
STRT CNT	Démarrage du compteur d'événements	0100 0101	45	1	1
STOP TCNT	Arrêt du timer ou du compteur	0110 0101	65	1	1
EN TCNTI	[illegible]	[illegible]	[illegible]	[illegible]	[illegible]
DIS TCNTI	Interruption du Timer/compteur interdite	0011 0101	35	1	1
Contrôle					
EN I	Autorisation des interruptions externes	0000 0101	05	1	1
DIS I	Interdiction des interruptions externes	0001 0101	15	1	1
SEL RB0	Sélection de la banque de registres 0	1100 0101	C5	1	1
SEL RB1	Sélection de la banque de registres	1101 0101	D5	1	1
SEL MB0	Sélection de la banque mémoire 0	1110 0101	E5	1	1
SEL MB1	Sélection de la banque mémoire	1111 0101	F5	1	1
ENTO CLK	[illegible]	[illegible]	[illegible]	[illegible]	[illegible]
NOP	Pas d'opération	0000 0000	00	1	1

EMAP

SYSTEME DE DEVELOPPEMENT CARTES STANDARD

EMAP : UNE SOLUTION HOMOGENE POUR VOS APPLICATIONS MICROPROCESSEURS ET LEUR MAINTENANCE :

Le système de développement EMAP

- mise au point et maintenance — un pupitre interactif,
- système autonome — un assembleur résident
- mise au point en temps réel — une prise synchro oscilloscope.

Les cartes standards EMAP (au format double européen)

- CPU 4 K : 0,5 K RAM / 3,5 K PROM : 8 interruptions / 1 canal DMA
- CPU 5 K : 8 K : 1 K RAM / 4 ou 7 K PROM ou EPROM : 8 interruptions / 1 canal DMA : 16 indicatifs de périphériques / 1 canal série programmable 2651-PCII • RAM 4 K : mémoire 4 K octects.
- 64 E/S : carte d'extension 64 Entrées/Sorties.

EMAP : un jeu de cartes dans un système professionnel économique.

R.T.C. met son expérience mondiale à votre service, votre avantage est évident.

R.T.C. LA RADIOTECHNIQUE COMPELEC
130, AVENUE LEDRU-ROLLIN 75540 PARIS CEDEX 11
TEL. 355.44.99. POSTE 630

Signetics

« Dieu ne t'a demandé que seulement compter des mots de 1 ou 2 syllabes et de les substituer [illegible] »

[illegible]

Six leçons pour programmer

Il y a de cela une trentaine d'années, et avec des moyens techniques qui sont à l'électronique d'aujourd'hui, ce que la machine à vapeur est au jet, plusieurs équipes entreprirent de construire (à grands frais) d'énormes assemblages de tubes et de relais, constituant les premières calculatrices électroniques. Les mots « informatique » et « ordinateur » n'ont été forgés, chez nous, que bien plus tard. Pour les anglo-saxons, l'ordinateur reste un « computer » et l'informatique, le « computer science » (littéralement « la science du calculateur).

Ce que les pionniers de l'informatique ont apporté, à l'époque héroïque, ce n'est pas une innovation technologique, puisqu'ils ont assemblé les premiers ordinateurs avec les moyens du bord, autrement dit, des « composants » qui existaient déjà (héritages du radar, de la téléphonie, etc.), c'est plutôt un ensemble de principes nouveaux.

Ces principes définissent une famille de machines (les ordinateurs) dont la fonction est de manipuler de l'information en grandes quantités et à grande vitesse, et de prendre des décisions en fonction de ces informations, le tout s'effectuant sous contrôle d'une séquence d'ordres modifiables, le programme enregistré dans une mémoire.

Pour celui qui est un peu curieux de l'histoire et de l'évolution des techniques, il est tout à fait remarquable d'observer que l'essentiel des idées maîtresses, en ce qui concerne l'élaboration des programmes, ont été dégagées en quelques années par les tout premiers « informaticiens ». Et tandis que l'art de programmer demeure étonnamment stable, la technologie, elle, n'en finit pas de se surpasser.

L'impact des technologies récentes

Il n'est pas utile de redire ici comment les unités centrales d'ordinateur, d'énormes machines de laboratoire sont devenues des circuits intégrés accessibles au grand public en vente dans toutes les bonnes boutiques.

Ce qui nous importe surtout c'est que l'ordinateur soit devenu littéralement à la portée de tous ce qui est attesté, entre autres, par l'existence même d'une publication comme celle où paraissent ces lignes. Nous pouvons ainsi affirmer à l'instar d'un homme célèbre, que « tout le monde a été est ou sera programmeur ».

Le micro-ordinateur « Instructeur 50 » est équipé du microprocesseur 2650 de Signetics. La mise en mémoire de votre premier programme est possible dès que votre « moniteur »

Les nécessités de l'initiation

La plupart d'entre nous sait aujourd'hui (ou saura) conduire une automobile, sans pour autant être expert en mécanique, ou piloter aux vingt-quatre heures du Mans. Il devrait bientôt en être de même pour les petits ordinateurs « domestiques », car leur coût se situe dès à présent entre celui d'un vélomoteur et (précisément) celui d'une voiture.

Devenir un bon conducteur cela vient bien sûr très largement à l'expérience acquise en parcourant beaucoup de kilomètres, avec de l'habitude on peut conduire à peu près n'importe quel type de véhicule avec la même aisance. Ceci dit, il faut bien faire des premières armes avec tel modèle de telle voiture, et une préférence en compagnie d'un bon conducteur qui guidera les débuts, sans oublier l'indispensable apprentissage du « code ».

Pour des raisons du même ordre, nous avons retenu pour cette série d'articles d'initiation, un petit matériel de début qui nous a paru particulièrement bien adapté.

L'instructeur 50

Représenté en France par la RTC, l'Instructeur 50 est un petit système très complet, animé par le microprocesseur Signetics 2650. Abandonnant au plus vite les sacro-saintes généralités « théoriques » de système va nous permettre de « faire marcher » tout de suite, sur un micro ordinateur réel, chacun des mécanismes dont nous aurons vu le principe.

Nous préférerons remettre à plus tard la description technique de détail de l'appareil. En effet la conception de l'Instructeur 50 fait une large place au programme-guide (**Moniteur**) qui anime tout le montage, et c'est en quelque sorte mettre la charrue devant les bœufs, que d'expliquer précisément comment il est fait avant la programmation proprement dite.

Aussi nous contenterons-nous dans un premier temps, d'une sorte de « leçon de choses » qui nous permettra sa mise en œuvre pratique pour l'étude des principes de la programmation. Après quoi, bien sûr, nous serons en mesure d'expliciter le montage (sophistiqué) qui nous aura aidés dans nos premiers pas.

La conception du micro-ordinateur est axée sur un programme appelé « Moniteur » qui gère le fonctionnement du système

Notre outil l'Instructeur 50

Aspect extérieur

L'Instructeur 50, nous abrégerons « I 50 » dans toute la suite, est un micro-ordinateur d'initiation de la seconde génération. Autrement dit, nous avons affaire non à une carte d'électronique nue, mais à un équipement complet, conçu [illegible] pupitre, qui tend à intégrer un maximum de fonctions de base.

Si l'on jette un coup d'œil sur la face arrière de l'I 50, on peut apercevoir, par les ouvertures, une grande carte imprimée, qui supporte tous les éléments actifs du système. On repère aisément l'orifice qui permet le raccordement d'alimentation : celui-ci est disposé pour recevoir le cordon « basse tension » (8 V) d'un petit transformateur [illegible].

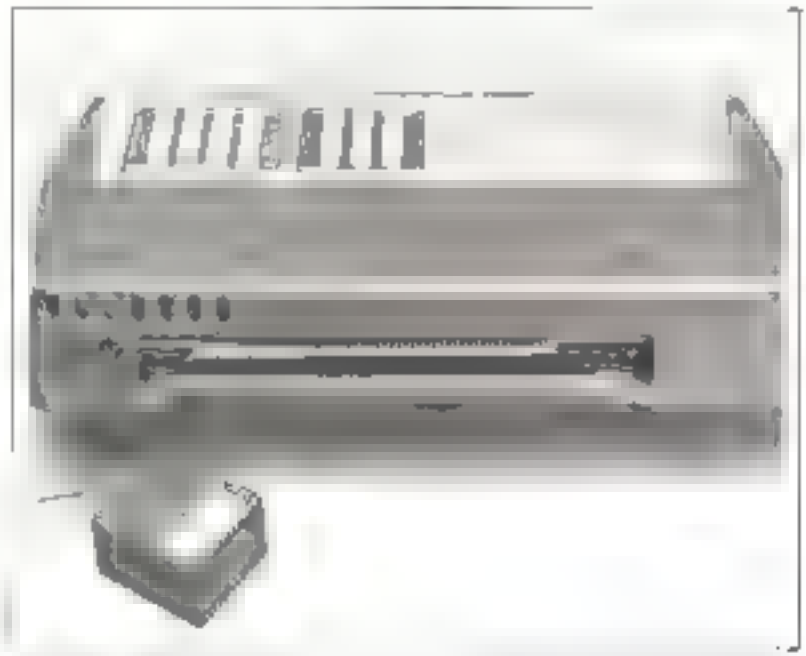
C'est sur la carte même que le courant est redressé, compté et stabilisé. Les amateurs, aux États-Unis, tendent à imposer comme une « norme » de fait une telle architecture de la distribution de puissance électrique dans les micro-ordinateurs.

On distribue un certain nombre de tensions « grossières » à partir d'une alimentation primaire.

Sur chaque carte électronique un module des dispositifs de régulation strictement adapté au sous-ensemble correspondant assure une alimentation locale.

Cette approche a deux avantages. D'abord, elle est économique vis-à-vis des montages traditionnels, où l'alimentation centrale unique doit être conçue en fonction du sous-ensemble le plus exigeant du système, et être régulée de manière adéquate pour la consommation **totale**. Un autre avantage technique réside dans l'**élimination** à peu près complète du **transport de** « **bruit** » par les lignes d'alimentation.

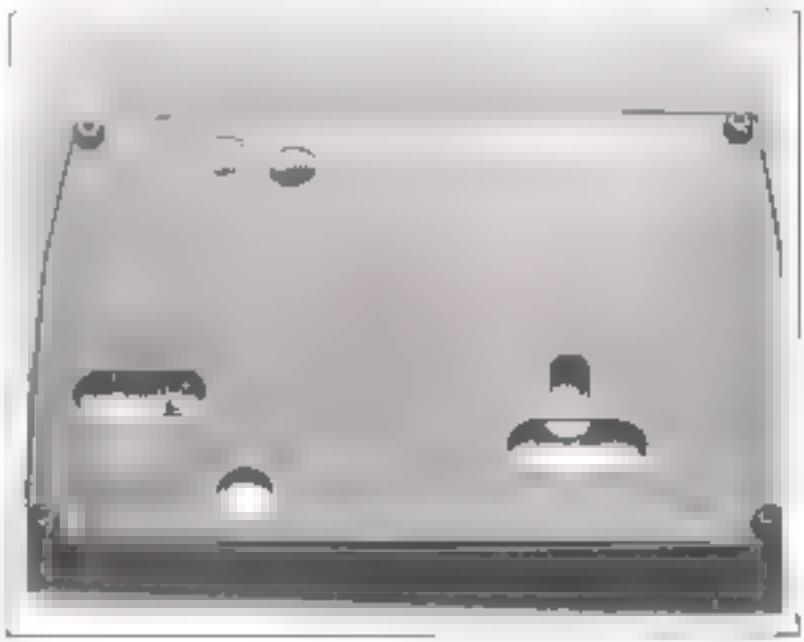
Regardons maintenant ce qu'il y a dessous pour constater que le socle comporte un certain nombre de découpes. Ces découpes sont disposées pour que l'on ait accès aux diverses connexions (par cavaliers sur lesquelles il peut être utile d'intervenir). Je serai que l'utilisateur de l'I 50 n'a pas besoin, normalement, de descendre le système.



« I 50 vu par sa face arrière. On aperçoit le module d'alimentation avec son [illegible] ainsi que, à droite, le connecteur d'alimentation.

Dans le cours de notre série d'articles, nous n'aurons pas l'occasion de toucher à quoi que ce soit de ce côté. Une exception cependant : on repérera le commutateur bien apparent, qui permet la sélection d'un poussoir ou poitrine ou bien des vitesses du secteur (50 Hz).

Notre curiosité étant satisfaite [illegible], nous allons nous retourner pour porter notre attention sur le pupitre de l'I 50, partie du système que nous fréquenterons le plus.



[illegible] de dessous, [illegible] pour la séparation de la source [illegible]

Le pupitre de dialogue

inclinée à 45 degrés, une petite fenêtre donne accès à un jeu de huit afficheurs à sept segments et point

Par le truchement de ces afficheurs, l'1 50 nous fera voir ce qui se passe dans le micro-ordinateur : état du programme, valeurs en mémoire, messages, etc. A la mise sous tension, l'1 50 affiche un sympathique « hello » pour commencer le dialogue.

Devant cette fenêtre sont disposés deux claviers. Celui de droite comporte seize touches, marquées de 0 à 9 et de A à F : c'est le clavier d'entrée de données hexadécimales (si le lecteur n'est pas encore familier avec la notation hexadécimale, qu'il sache simplement que c'est plus simple que ça n'en a l'air).

Le clavier de gauche comporte douze touches de fonctions, qui servent au pilotage de l'1 50. La plupart des touches sont réservées pour des commandes, telles la modification en mémoire, le pas-à-pas, la lecture et l'écriture de cassette. Deux des touches servent des entrées d'événement [illegible]

Tout à gauche sur le pupitre sont disposés un rang de huit petits [illegible] de voyants électroluminescents qui représentent des [illegible] élémentaires référencées « PARALLEL /0 ». Ils s'accompagnent d'un commutateur à trois positions, qui permet de varier leur « mode d'emploi ».

Deux voyants supplémentaires R, N, F, A sont reflètent l'état de deux broches importantes de [illegible] Le dernier commutateur [illegible] donne deux variantes du mécanisme de prise en charge des interruptions par le microprocesseur 2650.

On notera enfin, dans l'angle supérieur droit du pupitre, les deux prises pour le raccordement d'un (vulgaire) magnétophone à cassette. Sans aucun outillage, il sera possible de recopier sur cassette « audio » des programmes élaborés dans l'1 50, et plus tard de les relire pour les mettre en œuvre à nouveau.

Pour insister sur le fait que l'on emploiera un magnétophone tout à fait ordinaire, et non un coûteux matériel « informatique ».

Cela dit, s'il vous vient l'idée d'écouter le genre de « musique » qu'enregistre l'1 50, autant vous prévenir que sa valeur « musicale » est nulle, et mérite l'enchantement insupportable.

La console de dialogue : claviers d'entrée des données, afficheurs de contrôle, commutateurs d'intervention, [illegible] prises de raccordement à un magnétophone à cassette. Le voyant « INTERRUPT » [illegible] présence de la demande d'interruption [illegible] chaque circuit d'E/S [illegible]

Architecture interne

Dans le manuel de l'1 50 figurent, pour référence, les schémas complets du constructeur. En ce qui nous concerne nous pourrons nous contenter d'une description de principe fondée sur le schéma synoptique de la **figure 1**.

Le noyau du micro-ordinateur est constitué de deux circuits intégrés de grande densité. Le premier est un [illegible] microprocesseur 2650, et le second un circuit « auxiliaire » 2656. A eux deux, ces circuits assurent déjà un grand nombre de fonctions [illegible]

[illegible] sur d'un cristal qui « bat » à la fréquence de 1,58 MHz. L'horloge proprement dite est [illegible] après division par 4).

Le traitement de l'information dans le 2650 qui commande toute l'architecture et logique (ALU) et [illegible]

mémoire contenant le programme. Mémoire : 2048 positions de mémoire morte ROM + mémoire de travail de ce même programme sur 28 positions de mémoire vive RAM.

Décodage des adresses assurant la sélection des autres composants du montage.

Les sous-ensembles du micro-ordinateur sont reliés ensemble par deux voies principales : ces voies (ou **bus**) sont des liaisons électriques logiquement groupées et mises [illegible] électronique par des « pilotes » impulsions qui circulent plus ou moins parallèlement de unes aux autres. Sur le schéma, on les a [illegible] représentées par des flèches.

La voie d'adresse sert à **désigner**, par un numéro code d'**adresse**, au sens informatique [illegible] ce sens est ailleurs [illegible] voisin du [illegible] de montage [illegible] pointeur de mémoire

L'interface pour « BUS S 100 » permet de prolonger les voies internes du montage vers l'extérieur

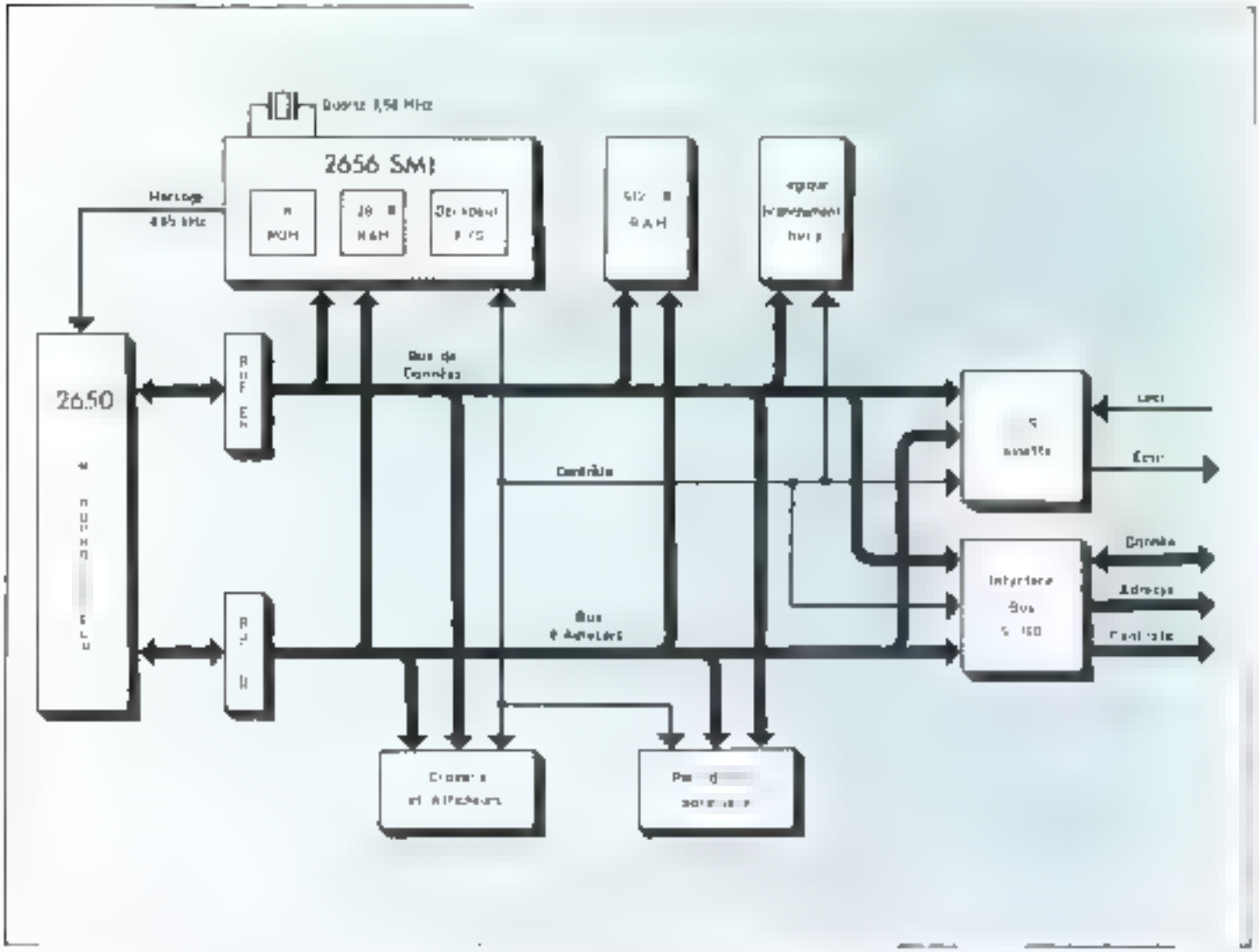


Schéma de l'ensemble

Schéma de l'interface

en vue de la saisie d'informations [illegible] de la base est à sens unique et [illegible] alimente selon l'état codé du [illegible]

[illegible] **données**, est à double [illegible] sens et [illegible] **tampons** [illegible] **bidirectionnels**. [illegible] duite de la voie d'adresse (par exemple la mémoire de programme) et porte en désignant de [illegible] **destination** [illegible] du bus [illegible] pupitre).

[illegible] **commande** [illegible] opérations des deux précédentes [illegible] **tampons** [illegible] **bidirectionnels**. [illegible] des quatre [illegible] recours à des éléments qui [illegible] fonctions particulières.

[illegible] caractéristique des montages de [illegible] seul précisément sur des [illegible] voies [illegible]

[illegible] sur des [illegible] **mémoire** (pour le stockage des programmes et des données) [illegible] **entrée/sortie** [illegible] communications avec le monde [illegible]

Dans l'[illegible] sur [illegible]

[illegible] **RAM** qui est [illegible] **espace de travail** [illegible]

[illegible] lecture du clavier et [illegible]

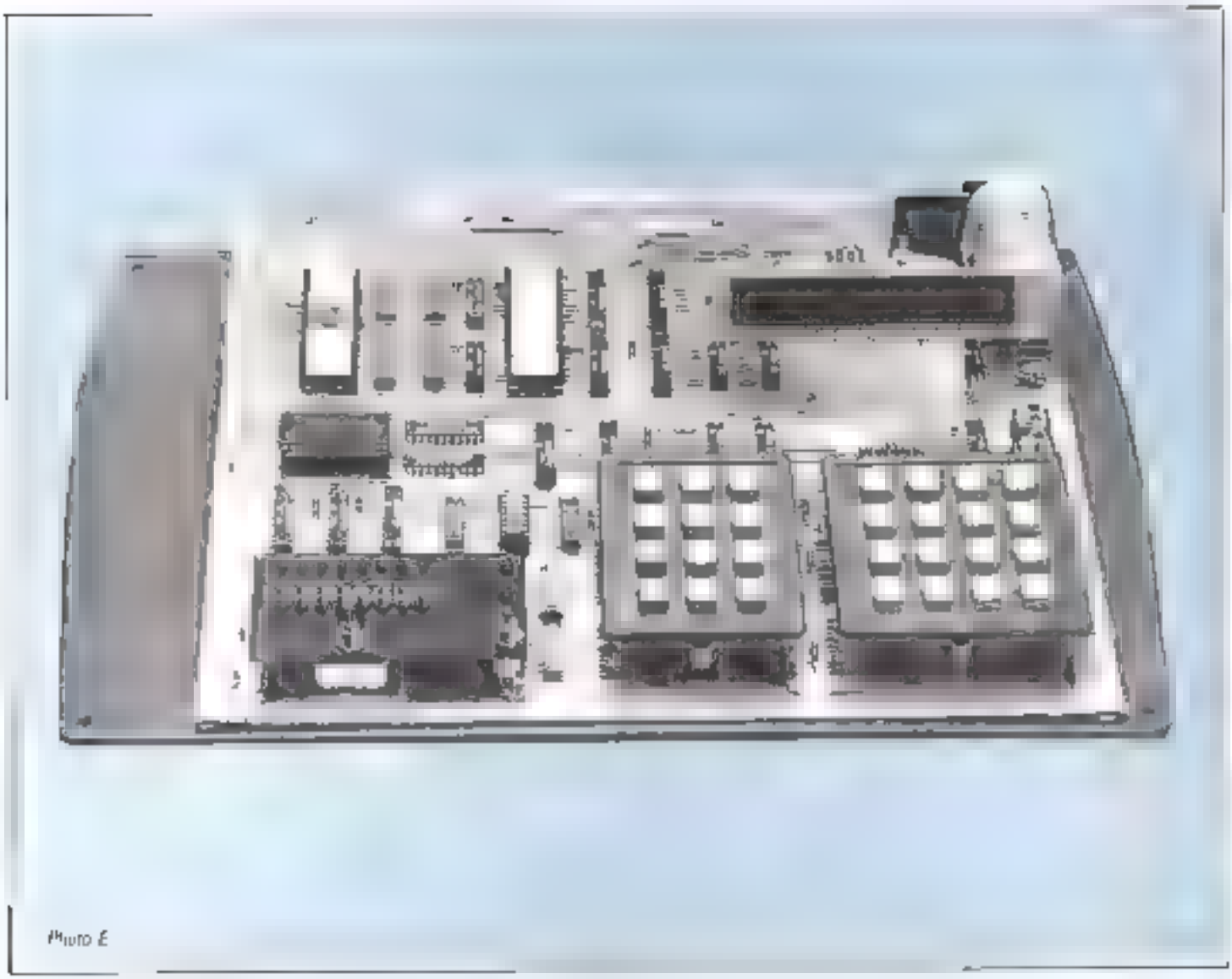


Photo E

contrôle de l'enregistrement sur cassette.

Comme pour « **BUS 8 [M]** » [illegible] le microprocesseur [illegible] dans le cadre du multiplexage [illegible] un [illegible] du [illegible] sur [illegible] **3** [illegible] sur [illegible] une disposition [illegible] fonctionnelle.

Le mode privilégié [illegible] Dans [illegible] mode [illegible] [illegible] [illegible]

Pour certaines instructions, le microprocesseur ne fait intervenir que des éléments « internes », autrement dit les bus du microordinateur ne sont plus concernés [illegible]

Pour d'autres instructions qui mettent en jeu soit la mémoire soit un élément d'entrée ou de sortie les bus sont de nouveau sollicités. Par exemple pour « écrire » sur les voyants du pupitre, le microprocesseur désignera le dispositif correspondant grâce à la voie d'adresse et par des signaux de contrôle caractéristiques signalisera également la « donnée » sera présentée sur la voie du même nom. Le résultat sera la « recopie » de cette donnée, dans un registre qui alimente les voyants, et que les maintiendra en l'état tant qu'une autre opération semblable ne sera pas effectuée.

De cette description très sommaire quelques points sont à retenir :

- Le bus de données est semblable à une voie unique de chemin de fer sur laquelle se raccordent en dérivation les sources [illegible]
- Les instructions sont « aiguillées » en fonction d'adresses sources délivrées par le microprocesseur [illegible]
- Poursuivant l'analogie on peut dire que le bus de contrôle assure [illegible] est clair dès lors, que les grandes [illegible] sur le système sont
- La « largeur » des voies de données [illegible]
- La « vitesse » de circulation des informations, dont dépend directement la rapidité d'exécution des programmes, puisque les instructions consécutives sont véhiculées sur le même chemin que les « données » proprement dites.

En ce qui concerne le microprocesseur 2650, la voie de données comporte 8 lignes en parallèle, ce qui permet de transporter une unité d'information standard de 8 « bits », que l'on peut interpréter comme huit fois « 0 » ou « 1 ». Cette unité s'appelle l'octet (byte, en anglais).

L'octet est largement adopté dans l'informatique et singulièrement en micro-informatique où l'on s'aperçoit qu'il correspond à un grand nombre d'usages pratiques :

— représentation de nombres entiers de 0 à [illegible] ;
— représentation des grandeurs à [illegible] près ;
— codage de tous les jeux de « alphabets » de transmission (lettres majuscules et minuscules, chiffres, signes de ponctuation, symboles mathématiques) ;
— codage de deux chiffres décimaux ;
— etc.

La voie d'adresse comporte, elle, 15 lignes numériquement, cela se traduit par la possibilité de [illegible] différentes principalement des **positions de mémoire**. Par une signalisation différente, liée aux instructions dites « d'entrée sortie », il sera possible en outre de désigner 256 sources et 256 destinations, dans ce dernier cas, 8 lignes d'adresse seulement, parmi les 15 seront significatives.

Ainsi se définit un « **espace adressable** » qui va en pratique bien au-delà des besoins dans la majorité des cas. Dans l'exemple, moins de dix pour cent de l'espace-mémoire » 2048 + 256 + 512 positions, par rapport à 32768, et moins de cinq pour cent de l'« espace d'entrée sortie » 19 adresses effectives, par rapport à 256, sont réellement occupés. Ce qui permet d'affirmer que bien des extensions sont imaginables.

Quant à la cadence des transferts, elle se déduit directement de [illegible] Quand l'on sait qu'un octet est échangé tous les trois « temps » sont, après calcul, toutes les 3,33 microsecondes. Dans d'autres montages, le 2650 peut aller sensiblement plus vite, le choix de cette vitesse pour l'1 90 est lié entre autres, à la facilité du calcul de certains temps de [illegible]. Cette vitesse sera de toute manière amplement suffisante pour nos besoins puisque nos programmes, pour la plupart s'exécuteront en moins de temps qu'il n'en faut pour relâcher un bouton-poussoir !

Perspectives

Dans ce qui précède nous nous sommes efforcés de donner de l'1 50 une vision globale et aussi « intuitive » que possible. Il ne s'agit pas dans notre esprit de simplifier les choses, mais bien plutôt de vous amener à la même perception que les programmeurs de métier ont de leurs machines. Cette perception est aussi synthétique que possible, de telle sorte que l'attention peut se porter davantage sur **la compréhension des problèmes d'application**, que sur le menu détail technique de l'outillage.

Dans les prochains chapitres, nous nous attacherons plus particulièrement à la démarche qui mène d'un problème à la mise en place d'une solution correctement [illegible]

[illegible] nous semble essentiel d'insister [illegible] marque **avant** de revenir sur la conception des montages. En effet la clé du succès des applications réside le plus souvent dans un bon compromis entre les éléments matériels et les programmes. Ceci est particulièrement vrai pour la conception de systèmes hors marché incorporant un microprocesseur. En l'occurrence, on dispose rarement de grandes ressources financières, pour mettre en jeu sans réserve sur temps et son [illegible] tion, pour aboutir à des résultats [illegible] ■

Jean-Michel COLAS *

** Jean-Michel COLAS anime le Groupe [illegible] dans l'université de Montpellier. Il est également chargé de cours à l'ISA.*

Alarme anti-vol à microprocesseur

Comme toute une serie d'applications à microprocesseurs cette alarme peut être realisee soit a partir d un kit d'eva uation clav er afficheurs, un le centra e, moniteur, memoires vives, etc) soit en elements discrets ndépendants

Nous sommes heureux de vous la présenter avec le « 2650 » de Signet. es, un des plus puissants microprocesseurs, en jeu d'instructions, entièrement statique. Après une courte présentation du principe de fonct onnement d'une a arme temporisee et une description sommaire du 2650, deux realisations vous seront presentees, toutes deux en boîtiers Independants — memo re PROM et un le centrale. La premiere peut être câblée en wrapping, la seconde sur circuit imprime

Deux elements peuvent cependant poser quelques difficultés à nos amis lecteurs interesses par cet ensemble : le circuit imprimé toujours delicat a élaborer et la memo re PROM qu'il faut bien sûr programmer Ces deux elements, Micro-Systèmes peut les mettre à votre dispos t on et contribuer ainsi au succès de votre entreprise

Enfin nous vous conseillons de regarder attentivement les diagrammes « lecture de 'article », « rea sation » et « mise au point » Ils constituent des exemples amusants de construction d organigrammes et vous permettront, nous l'espérons, de nous lire avec le maximum de profit

Principe

Comme le montre l'organi g amme de la figure 1, cette alarme temporisée uste en permanence une boucle de garde Deux ter n naisons s a cheminent a sa coupure Pour parer l'inévitable situation où le propriétaire pour inadvertance ou manipulation erronée, déclenche la boucle avec le sur de l'avoir ouverte ou refermée avant d'avoir quitté les lieux par exemple, il faut une première temporisation d'inhibition de l'alarme est donc possible d ouvrir ou fermer la boucle pendant le temps T l'alarme ne retentira pas. Passé ce delai, le dispositif se met dans l'état de garde proprement dit il teste son circuit à la vitesse de quelques centaines de milliers de vérifications par seconde. Rien de plus simple

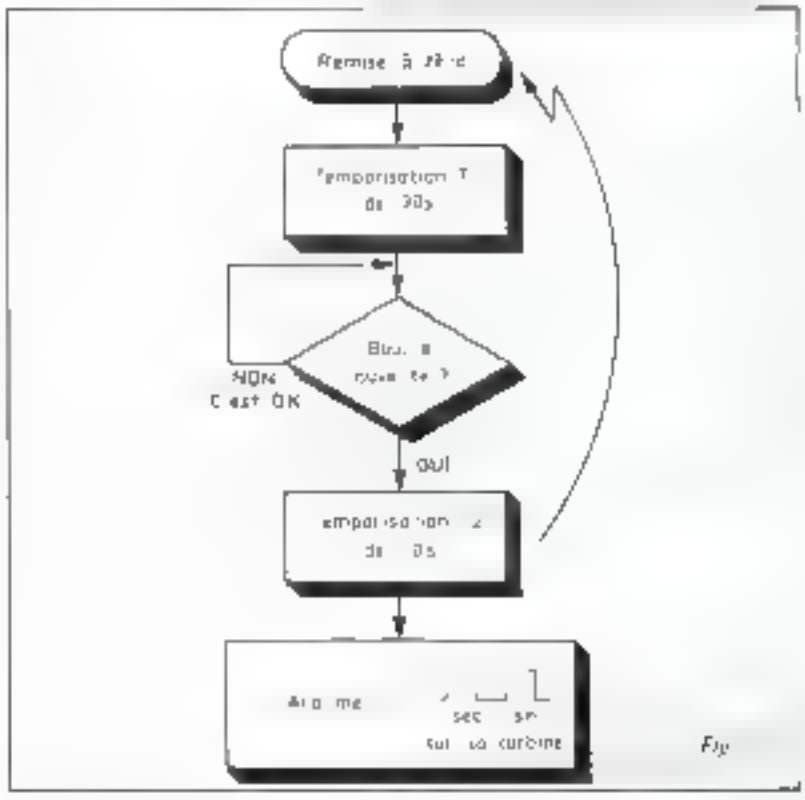


Fig. Organigramme simplifié d'une alarme

Si la boucle s'ouvre, il y a deux possibilités : soit c'est le retour des mauvais du vol et l'alarme doit les éliminer, soit ce sont les cambrioleurs. Dans tous les cas, le programme [illegible] temporisation T. Relais-vement courte celle-ci servira aux connaisseurs pour désamorcer l'alarme [illegible] appuyer sur le bouton « Remise à zéro » dissimulé dans un placard [illegible] 5 au plus. Si la R A Z n'a pas eu lieu après T secondes, on lance un programme d'alarme sonore.

Prévu pour travailler avec une sirène à turbine, le dispositif émet des signaux carrés à l'échelle de la seconde : c'est le plus efficace en [illegible]

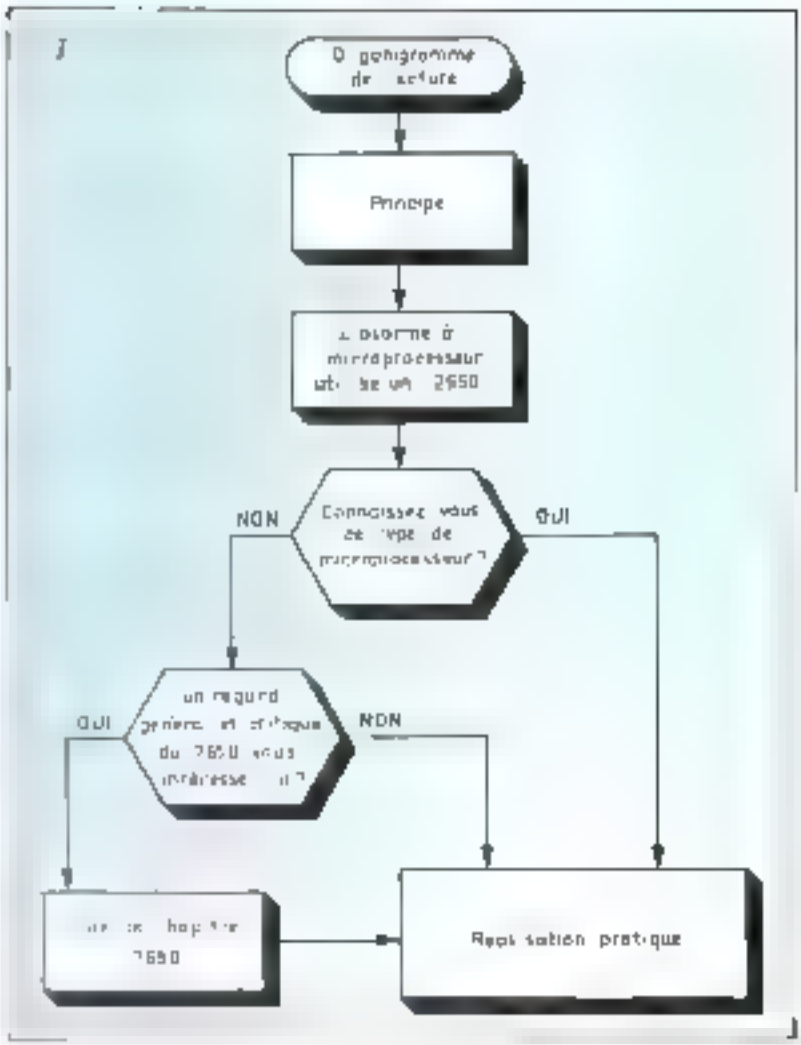
Le « 2650 »

[illegible] centrale de ce système [illegible] (figure 2), un nombre record de registres : il [illegible] que de 7 registres généraux de 8 bits, d'une pile de 8 doubles registres de 15 bits et d'un mot [illegible] complet en 8 bits. Ces [illegible] adressables en logiques et [illegible] « Accumulateurs ». La pile de doubles registres peut contenir des adresses de retour de sous-programmes pour aller n'importe quel [illegible] R A M.

Le mot d'état est divisé [illegible] PSL » pour la partie basse et PSU » pour la partie haute. Les différents bits peuvent être testés, sautés, chargés, mis à un [illegible] aide du jeu d'instructions.

[illegible]

Fig. 3. Brochage du microprocesseur 2650.



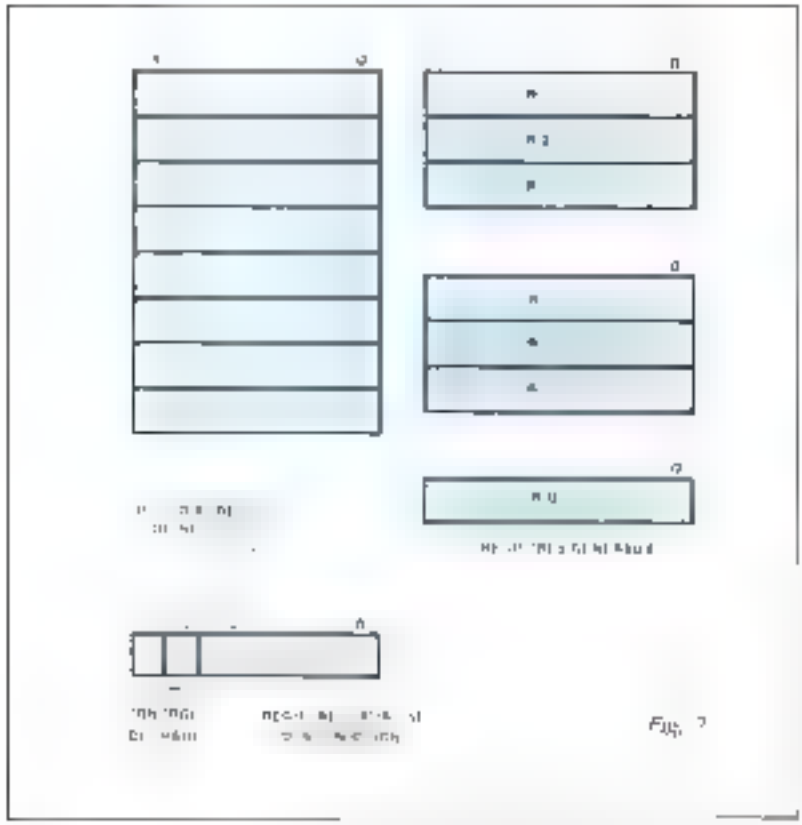


Fig. 2

Fig. 2. — Le « PSU » possède 7 registres dont 1 registre pile de 8 niveaux (registre d'état et PC).

Fig. 3. — Le mot d'état est divisé en 7 bits (PSL et PSU).

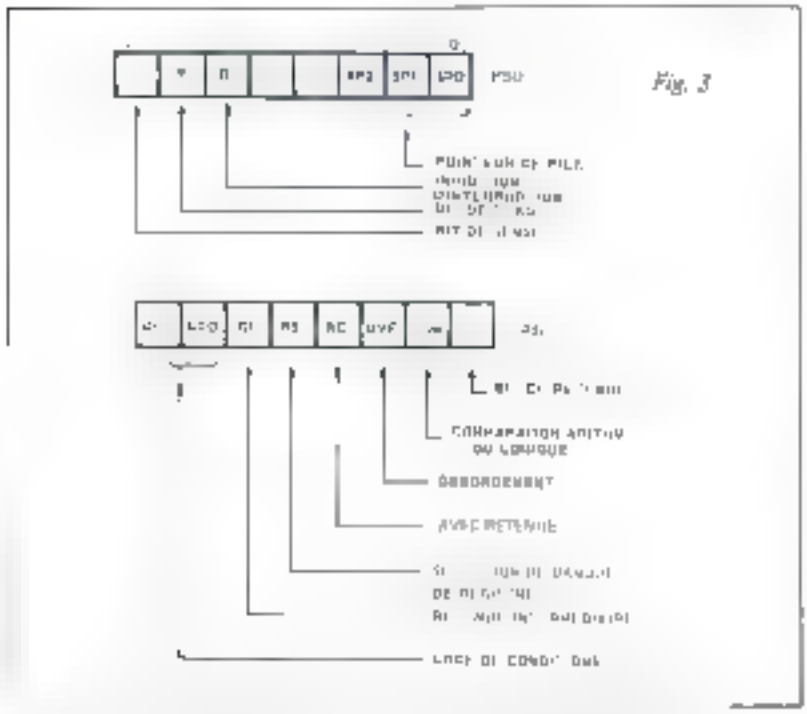


Fig. 3

La signification de chacun des bits du mot d'état est donnée figure 3.

Le grand nombre de registres et le fait d'implanter la pile d'adresses de retour dans l'Unité centrale permettent de réaliser des systèmes simples, en deux boîtiers : unité centrale et PROM * relativement élaborés du point de vue de la programmation. Par exemple, nous utilisons une procédure avec la transmission de variables, tout comme aurait fait un CALL FIX (Y, Z) en Fortran ou autres langages évolués.

Le 2650 est entièrement **statique**. Il peut être piloté en pas à pas à la main, au coup par coup, ou arrêté purement et simplement par la coupure de l'horloge. Seuls deux microprocesseurs CMOS en sont capables : le 6100 d'Intersil qui s'est attribué le jeu d'instructions du PDP 8 de Digital et le COSMAC de RCA. Tous les autres microprocesseurs en MOS canal N ont des registres dynamiques même s'ils se présentent parfois statiques. Exemple : le SC/MP de NS, ses registres d'adressage de bus sont dynamiques et les adresses se « perdent » si l'on descend l'horloge à moins de 10 kHz. Pour le reste il est à 90 % statique.

La robustesse des bus du 2650 l'autorise à fonctionner avec douze LED connectées au bus adresses et huit autres au bus des données, traitement qui tout en n'étant pas recommandé fait la joie du néophyte qui veut suivre, à chaque pas d'horloge, ce qui se passe durant l'exécution d'une instruction. Nous lui conseillons de ne pas oublier de mettre des résistances de 330 à 470 Ω en série avec chaque LED.

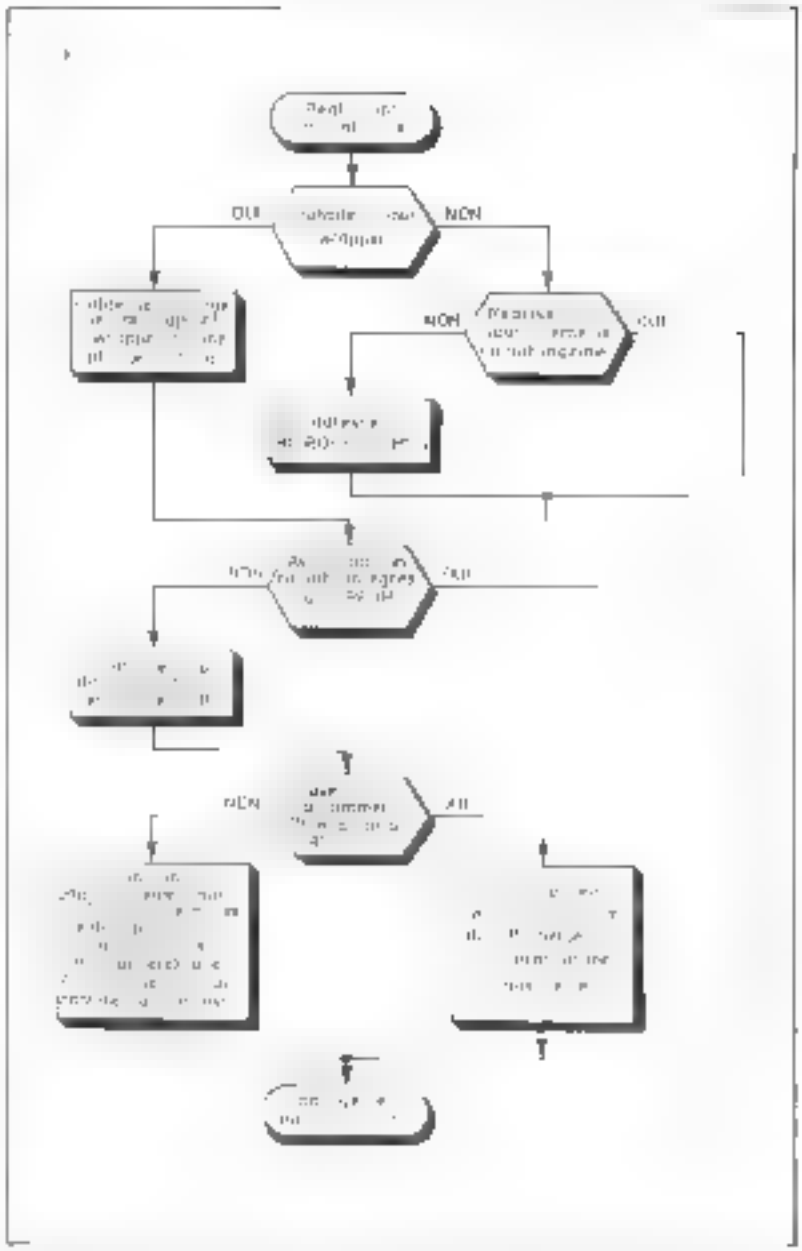
En plus de la possibilité de figer ses bus et de les visualiser, le 2650 peut les placer en état haute impédance « Tri-state ». En conséquence, on rencontrera des configurations multi-processeurs où il est possible d'accéder en DMA * aux mémoires. Rappelons pour expliquer l'emploi des LEDS, que les sorties du microprocesseur peuvent commander une entrée TTL (74) standard ou quatre entrées TTL LS, LP (74 LS), c'est-à-dire 1,6 mA max. Lorsque les entrées

TTL Schottky présentent des ran- [illegible] ou 82 S, par exemple) le nombre de boîtiers composants est bien plus important.

En ce qui concerne le brochage, mise à part A_{16}-A_{19} et non plus 16 fils d'adresse comme à l'accoutumée, D0-D7 et des signaux RESET IRQ R/W présents dans la plupart de tous les microprocesseurs actuels, on remarque des particularités : une entrée et une sortie SENSE et FLAG peuvent être liées et modifiées, respectivement par programme. Le boîtier [illegible] possède. Ses échanges avec les circuits environnants sont cadencés à chaque fois un accusé de réception, qu'il s'agisse de la réception d'une interruption INTACK ou de l'attente d'une demande d'opération. BACK, DEN et AEN validant respectivement les bus de données et d'adresses et commandant leur mise en haute impédance. Une dernière broche peut servir à arrêter après exécution de l'instruction en cours par un PAUSE.

Parmi les 40 fils d'adresse 16 fils A_0-A_{15} jouent en permanence le rôle d'adresses alors que A_{16}, A_{17} sont multiplexés. Ces deux fils représentent suit les bits de plus fort poids d'une adresse mémoire, A_{16}, A_{17} soit E-NÉ (mode étendu ou non-étendu) ou I/O (données ou contrôle). Ce multiplexage reflète le partage de l'espace adressable en deux régions distinctes, une réservée aux mémoires RAM et ROM de programme et l'autre réservée exclusivement aux [illegible] d'instructions. Pour dépanner les tâches de ces deux fils, un troisième fil de contrôle, M/IO, indique l'état haut (M) qu'il s'agit d'un adressage-mémoire ou d'une opération d'entrée/sortie lorsque M/IO est à l'état bas. Ce partage [illegible] il ne nécessite pas une [illegible] puisque, par exemple, on pourrait avoir par exemple, on [illegible] occupant chacune une adresse définie par A_0-A_{15}.

[illegible] processeurs réservent un ou deux



L'algorithmique de réalisation permet de vérifier dans la mémoire des commandes [illegible] à cette disposition a eu lieu [illegible] la mémoire PROM [illegible].

mots-mémoire pour un compteur pouvant manipuler 0 à 24 périphériques. Ce compteur existe par ailleurs dans la famille Signetics sous la référence 2655 et s'inspire d'un 8255 d'Intel, dont il copie les trois ports de 8 bits programmables, peut mémoriser des interruptions sur des fronts programmés et fonctionner dans des modes nouveaux.

Ainsi nous pouvons manipuler des périphériques même dans la zone-mémoire de programme.

Réalisation

Sur le schéma de l'[illegible] de la **figure 4** nous remarquons la boucle de garnissage à l'entrée SENSE du microprocesseur. Si tout va bien, on doit trouver le niveau zéro [illegible] de cette entrée. En cas de coupure du tension de l'entrée M/IO en question remon- [illegible] + [illegible] R

Le schéma possède également une sortie FLAG qui, amplifiée, attaque la sirène. Cette dernière peut être alimentée à un potentiel plus élevé que l'ensemble des composants, il suffit que la tension collecteur-émetteur pour un maximum admissible $U_{CE\,max}$ du transistor de puissance final ne soit pas dépassée.

Le NAND de la **figure 4** sert à générer un signal d'horloge d'une part et à remettre à zéro (R A Z) par une bascule R/S, le microprocesseur. La fréquence d'horloge pour les valeurs choisies est sensiblement égale à 1 MHz. Il est bien sûr possible d'utiliser un quartz à la place du condensateur et de la résistance ($C = 1{,}8$ nF, $R = 700\ \Omega$) mais la précision des temporisations du 10^{-3}, 10^{-6} n'est pas nécessaire. En effet cette précision mène à 300 µs d'écart maximum

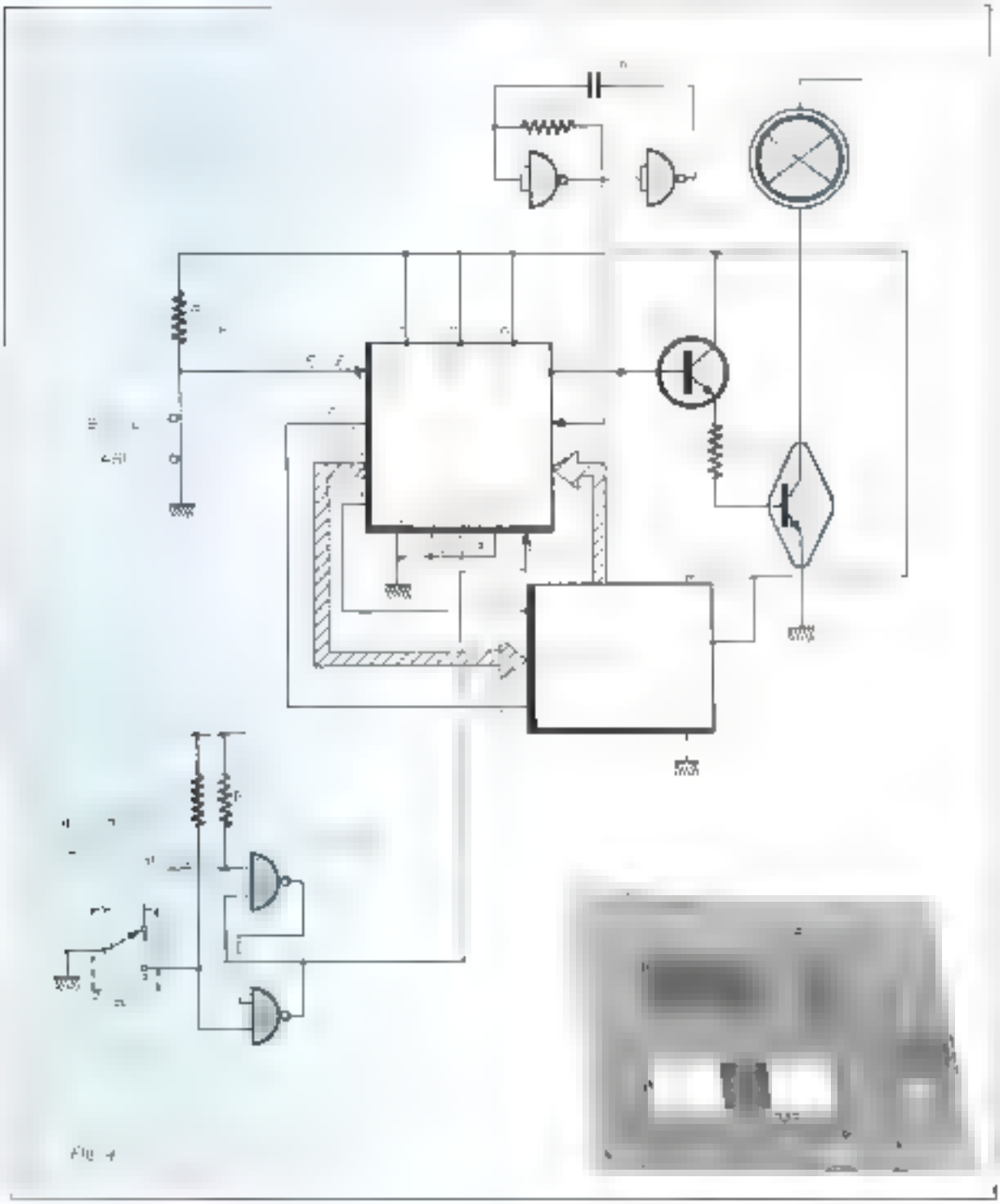


Fig. 4

Fig. 4 – Schéma du [illegible] sortie FLAG est appliquée [illegible] sirène. Cette dernière peut être alimentée à un potentiel supérieur à celui [illegible] la tension collecteur-émetteur [illegible] $U_{CE\,max}$ du transistor [illegible]

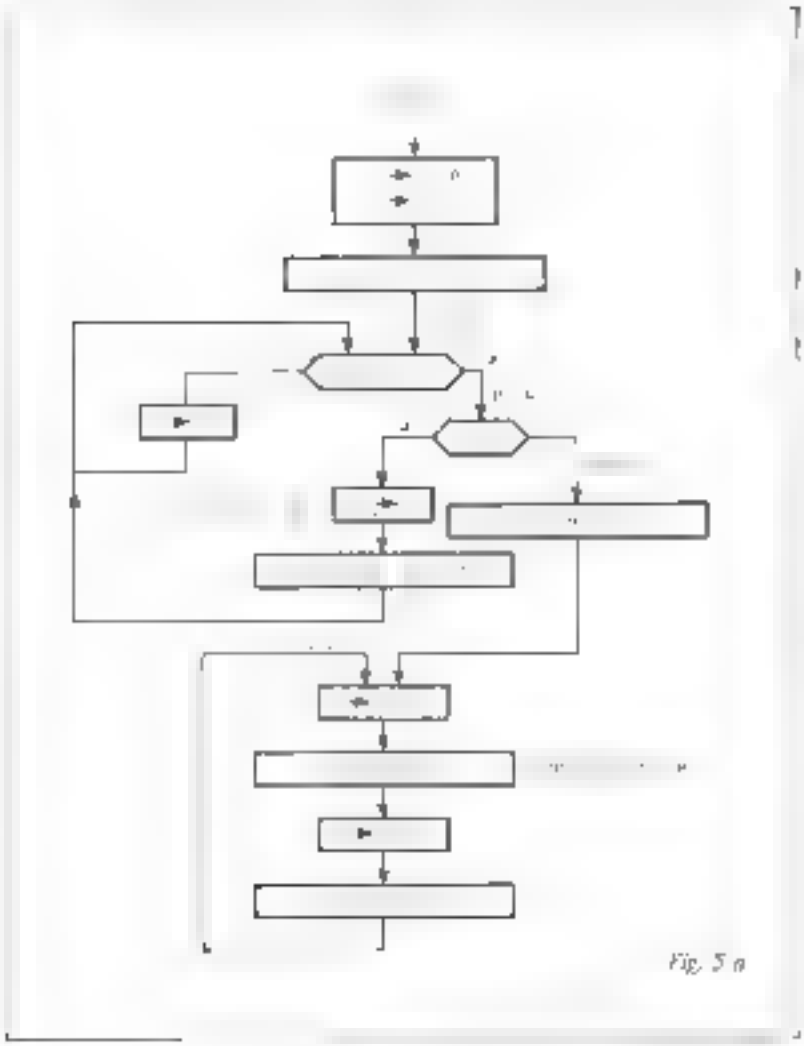
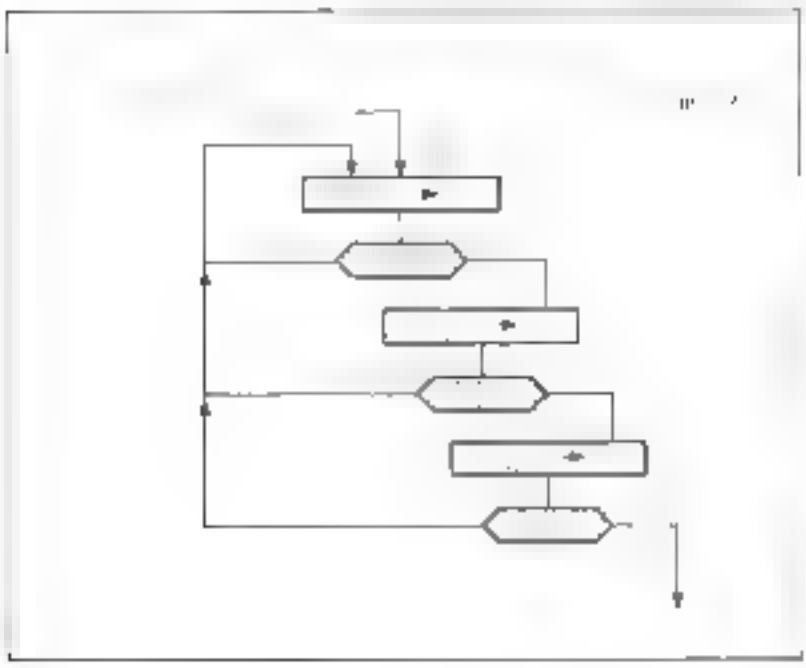


Fig. 5 a



pour une temporisation globale de 30 secondes. A l'échelle humaine cela est négligeable. D'autre part les 10^{-3} 10^{-4} de précision de l'oscillateur RC quelle que soit la température ou les conditions « tout terrain » de fonctionnement se maintiendront. Rien de commun avec les longues temporisations analogiques, tributaires des courants de fuite qui doublent tous les 6 °C.

Avec ces considérations simplement hardware, nous construisons l'organigramme spécifique au 2650 de la **figure 5a** et **5b**.

Organigrammes

Vous pouvez le constater la boucle de garde est munie d'une procédure anti-rebondissements de 30 millisecondes. Cela s'obtient en chargeant FF dans le registre R, lentement au premier message R = 0. Dès la réception du parasite ou du signal de coupure réel il est mis à FF et le microprocesseur génère un retard de 30 ms. Si après ce retard la coupure n'existe plus nous sommes en présence d'un parasite industriel et on remet le « drapeau anti-rebond » R à zéro. Dans le cas contraire, R sera trouvé différent de zéro lors d'un deuxième test et le programme partira dans la temporisation T_2. Si durant « test S T » de durée de le microprocesseur de sa voie, il entrera dans une boucle « S C I » ou il fabriquera un signal d'alarme [illegible].

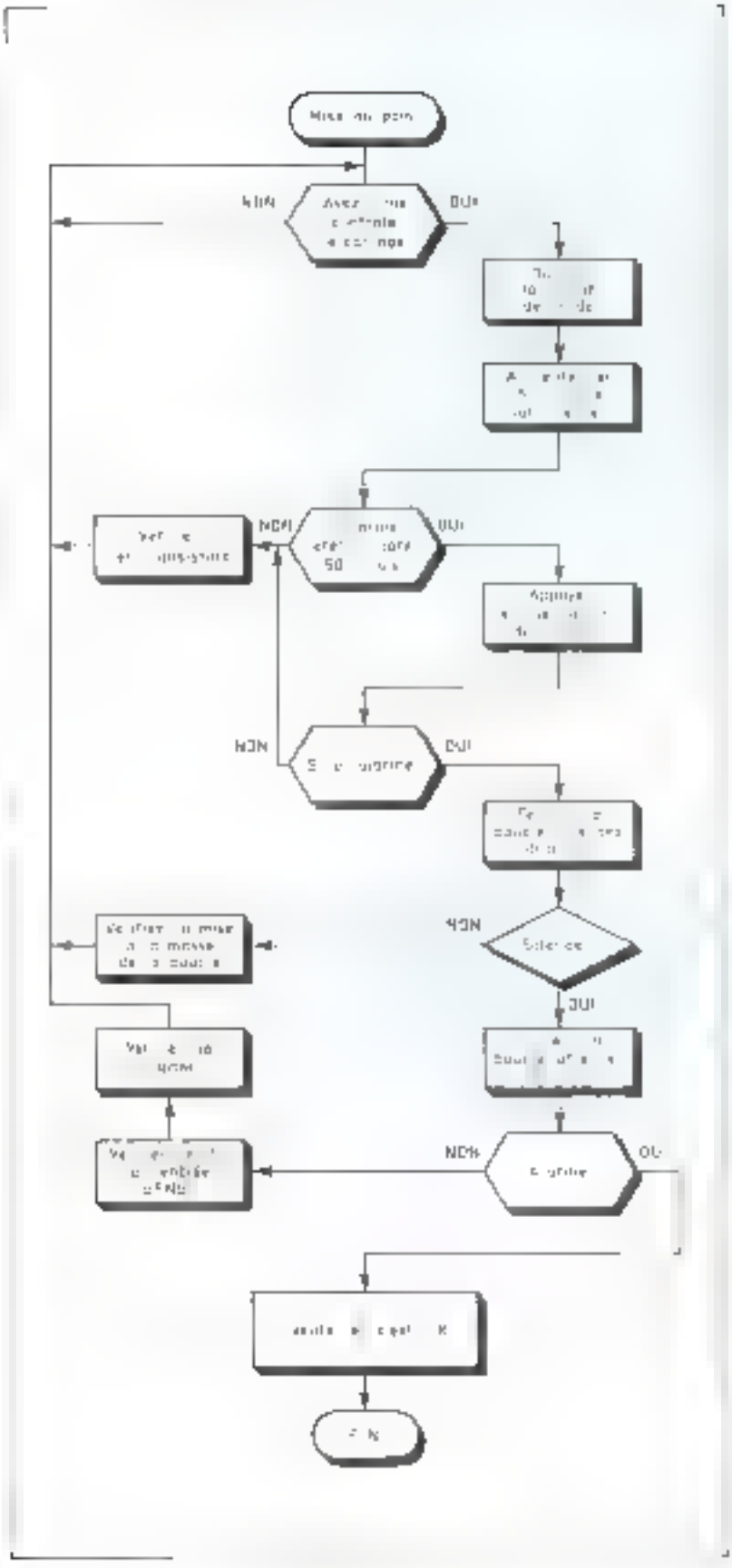
La **figure 5 b** donne le détail des blocs de retard de l'organigramme principal. On voit qu'il y aura trois variables définissant à chaque fois le retard R_0, R et R. L'appel de procédure commandera ces [illegible] simplement avec un CALL.

Fig. 5 a. Organigramme spécifique au [illegible]

Fig. 5 b. L'organigramme de temporisation met en œuvre 3 registres dans 3 boucles de retard imbriquées.

Le programme occupe un emplacement mémoire de 4 D_{16} mots de 8 bits

Fig. 8. – Exemple de programmation de la mémoire programmable de type ROM



Les deux registres sont décrémentés à partir de leurs valeurs initiales et testées à zéro dans trois boucles imbriquées donnant les retards. Selon cet organigramme, au bout de travail nous obtenons le programme de la **figure 6**.

Le programme

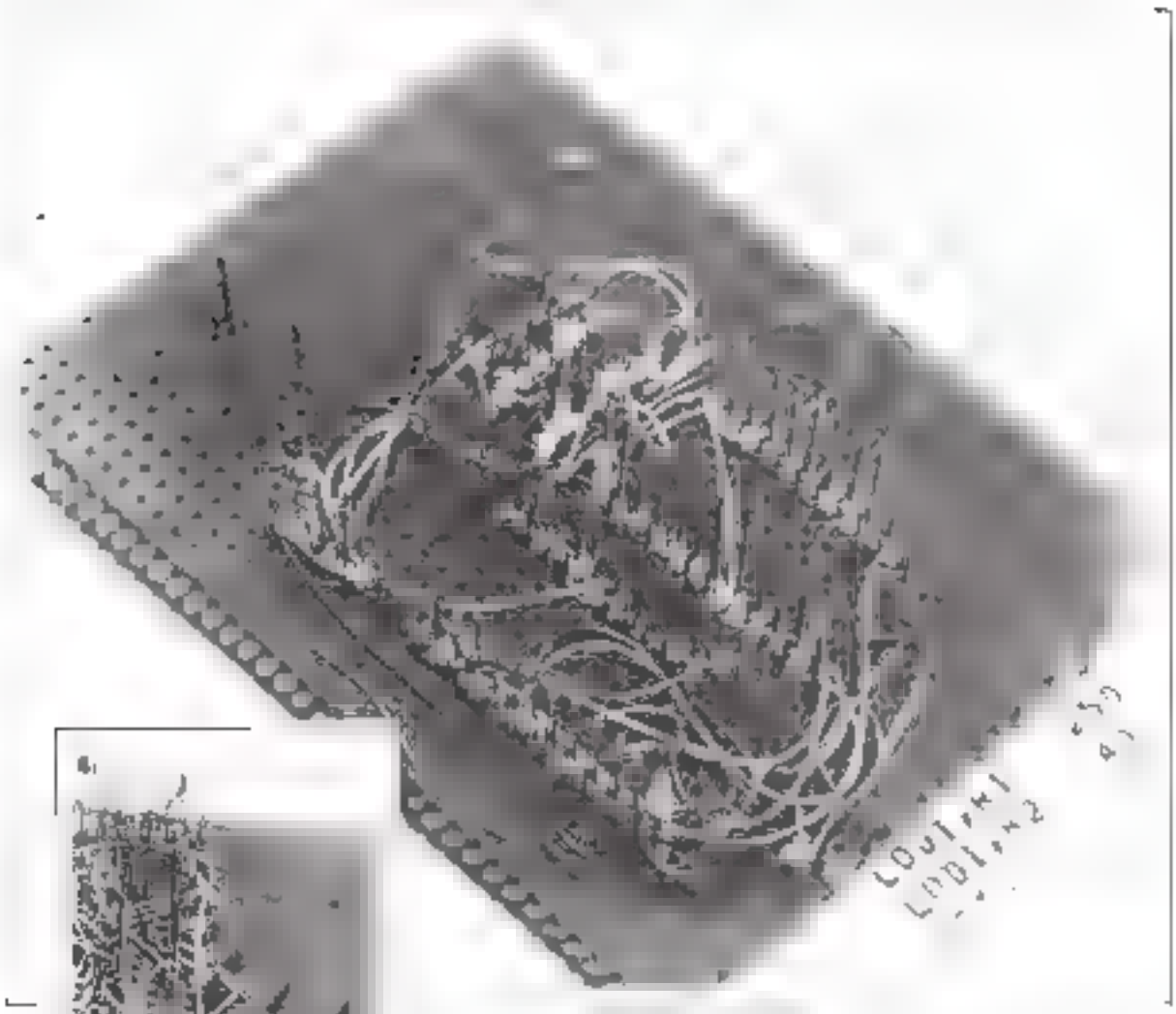
Le haut de la page de listing donne les colonnes. Ainsi sur la colonne-adresses on constate que le programme se contente de 4 D à 4D $_{16}$ mots de 8 bits.

Ce résultat au premier nous permettra de choisir une mémoire de programme PROM ou [illegible] monocoque telles commençons à [illegible]

Pour des raisons de prix nous choisissons la mémoire PR [illegible] 8 bits 8255. Vous pouvez [illegible] programmer une PR [illegible] 2758 de chez Intel. La programmation d'une PROM [illegible] possible pour si peu de mots, peut se faire manuellement. En principe on doit remonter la tension [illegible] le mot à programmer à 16 V et appliquer aux sorties que l'on veut [illegible] une à une, en respectant un temps de maintien assez long.

Câblage

Pour ceux qui désirent wrapper la **figure 7** donne les brochages des composants tels qu'ils devraient prendre place sur un support à vous pour wrapping. Les bus [illegible] D devraient aller à chaque fois à la broche CE de la mémoire [illegible] valeur 0 (e.g. les entrées mises à un + 5 V devront être connectées au + 5 V correspondantes). La masse, le RESET, son [illegible] sont reliés aussi horizontalement sur le 2650. Toutes les broches [illegible] sont reliées sur la **figure 4**



sont laissées en l'air à l'extrémité d'un support à broches rondes, non recommandées pour l'implantation sont soudés au fil des résistances, transistors, etc.

En ce qui concerne le circuit imprimé le mylar utilisé est celui de la **figure 8.** Les boîtiers sont représentés conformément au plan d'implantation de la **figure 9,** qui n'est autre que la sérigraphie utilisée sur le circuit réalisé par la réalisation et que nous vous proposons.

Précautions

Suivez à la trace l'organigramme de réalisation

En cas de câblage wrappé, une carte test peut s'avérer nécessaire pour le microprocesseur. Nous ne sauvons trop vous conseiller un circuit imprimé, mais en cas de wrappage vérifiez par ohmètre toutes vos connexions avant la mise sous tension.

Pour vérifier la PROM si vous n'avez pas encore de support approprié, vous pouvez utiliser le montage universel de vérification des mémoires mortes décrit dans ce même numéro.

La tension d'alimentation de l'ensemble UV de contrôle et mémoire doit se situer entre 4,5 V et 6 V. Vous pouvez utiliser une résistance pour faire chuter la tension d'une batterie de 9 V. Par exemple pour un courant débité de 250 à 300 mA, le calcul de sa valeur est simple :

$$R = \frac{9 - 5{,}2}{0{,}3} \approx 12\ \Omega$$

Prévoir un convertisseur de 50 mA pour le découplage de l'alimentation 5 V + ondulation résiduelle en cas d'alimentation-secteur à peu d'importance : le petit alcalin [illegible] de 9 V.

La **figure 10** donne l'exemple d'une alimentation secteur secourue par batterie de 6 V. Elle utilise un transformateur à [illegible] dont le point est assez rechargé éventuellement la batterie par D R. D₂ intervient pour alimenter le microprocesseur en cas de coupure secteur.

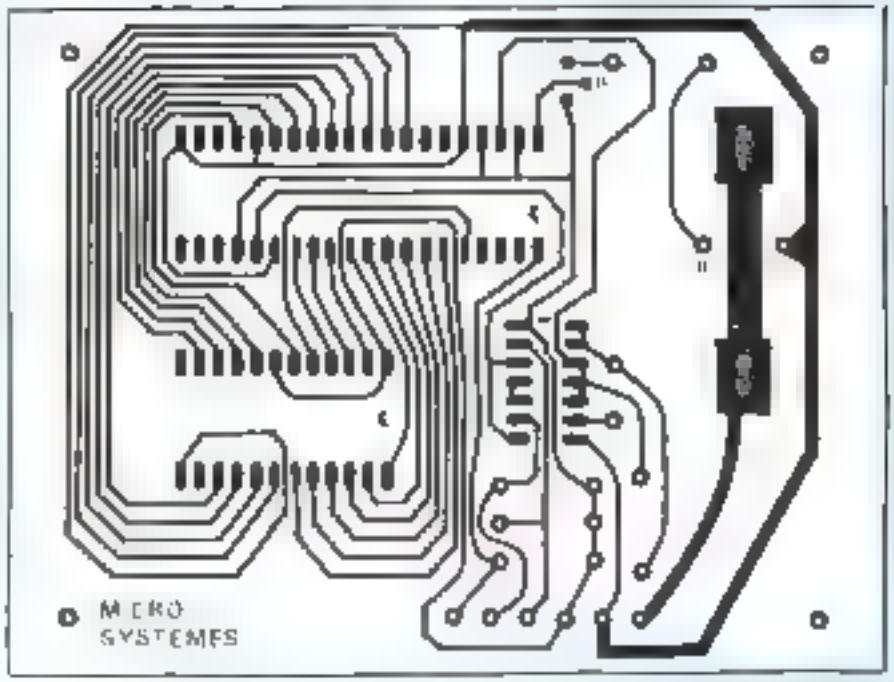


Fig. 8

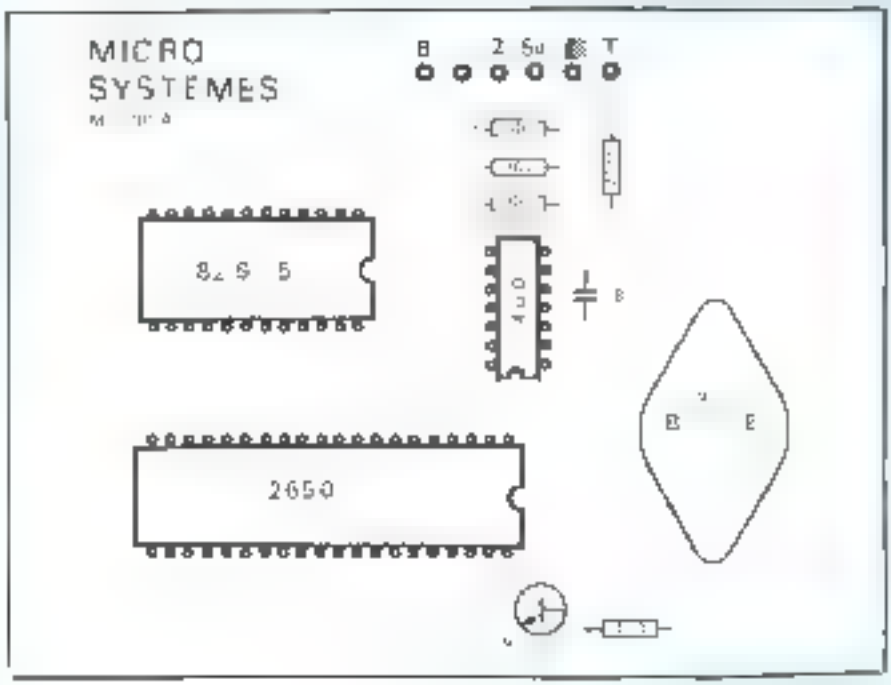


Fig. 9

La boucle est constituée d'un fil émaillé de quelques 1/10 de mm

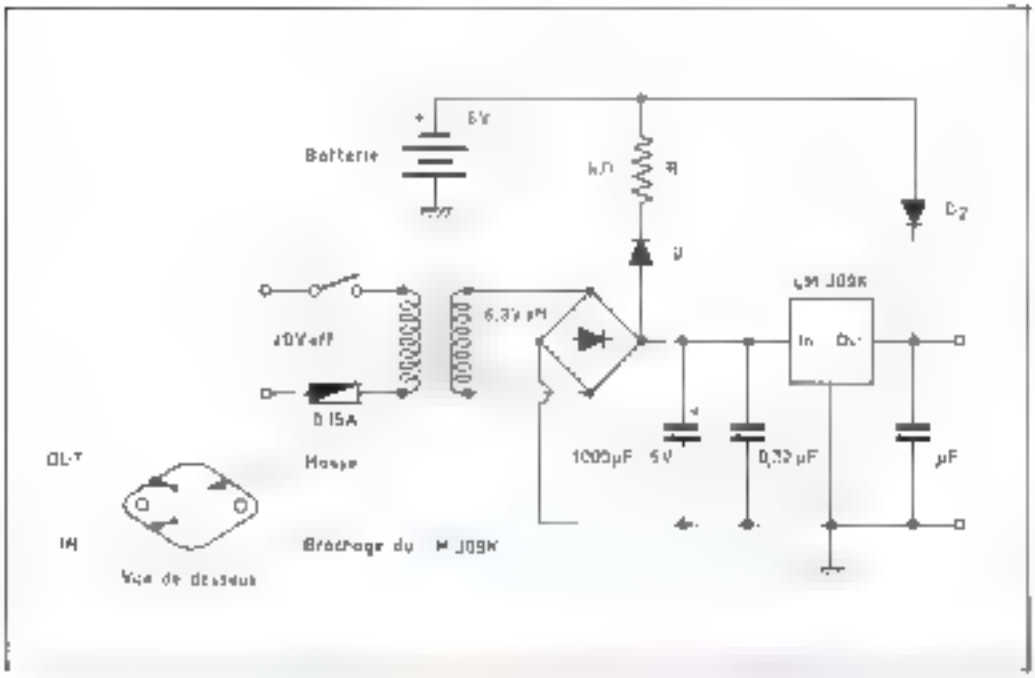


Fig. 10. – L'alimentation utilise un modulateur intégré LM 309 K qui délivre une tension stabilisée de 5 V.

La boucle de garde

Elle se compose d'un fil très mince dissimulé dans les papiers muraux, sous les moquettes, tapis etc... et parcourt quelques contacts installés aux points stratégiques de la maison. La porte d'entrée, les fenêtres, la porte du garage ou du grenier. Ce fil peut être du type émaillé (bobinage). Les contacts (un interverseur ou ouverture de chacun un bouton-poussoir actionné en coupure par un levier lié à la porte ou un aimant fixé au battant de l'ouverture qui maintient collé un contact dans une ampoule reed, un interrupteur à masse inertielle sensible aux chocs sur une vitre etc. Ces contacts sont généralement disponibles dans le rayon bricolage des grands magasins ■

André DORIS

Nomenclature des principaux composants

— 1 microprocesseur 8 bits MOS canal N 2650
En vente chez tous les distributeurs RTC (nous vous en donnons la liste).
Prix indicatif unitaire 215 F

— 1 mémoire PROM à fusibles
82 S 115 N
Disponible vierge chez vos distributeurs habituels.
En vente programmée chez les distributeurs RTC et à la rédaction
Prix unitaire 110 F

Circuit imprimé 110 x 86 mm en verre époxy avec sérigraphie. Référence **MS 100 A.**
Disponible exclusivement à la rédaction
Prix unitaire : joindre à votre demande un chèque bancaire, postal ou mandat de 30 F à l'ordre de Micro-Systèmes (port et emballage compris)

— Tous les autres composants sont classiques et en vente chez vos distributeurs habituels

Réseau des distributeurs R.T.C

Région Parisienne RTF DIFFUSION, 59 à 63, rue Deroquettes, 75015 Paris 532.69.43 Télex Radif 700 837 F
CIMN - Tél. 3 15 à 21, rue Camille Flammarion, 750 8 Paris 757 62 80 Telex IMT 644 355 F
LASSE.B.E. 93, av. de Fontenay 75012 Paris 303 60 09 Telex 670,579 F

Bourgogne et Val-de-Loire Morin Industrie (25) 42 54 48
Est Hold Diffusion 88 70.90.1
Massif Central Electronique du Centre 47 84 60 18
Midi - Languedoc - Provence - Côte d'Azur Ets Vedeche 94 95 8 82
Nord Satelec, Electronique (20) 98 92 13
Ouest Centre Ouest Sertronique (43) 84 24.60
Rhône-Alpes Rhonalco (78) 93.00.25.
Ets Besson (76) 96 .0 72
Sud-Ouest C.E.D.S.O (59) 27.03.56

R.T.C. - LA RADIOTECHNIQUE-COMPELEC – 130, av. Ledru-Rollin, 75540 Paris Cedex 11, tél. 355 44 99
60, rue de Verdun, 69 100 Villeurbanne, tél. (78) 68.22.97.
télex 370413 F 21 rue Roquelaune, 31 000 Toulouse, tél. (6 62 77 32

Informatic Systemes TeleCom

MICRO-ORDINATEUR APPLE-II

- MICROPROCESSEUR ROCKWELL 6502 RAM EXTENSIBLE DE 4 K A 48 K
- BASIC MONITEUR ASSEMBLEUR DESASSEMBLEUR ROM
- SORTIE VIDEO 24 LIGNES, 40 COLONNES
- GRAPHIQUES FINS EN COULEURS SUR T V (RVB SECAM)
- INTERFACES MAGNETOPHONE ET ENTREES ANALOGIQUES HAUT-PARLEUR INCORPORE
- 8 PERIPHERIQUES CONNECTABLES DONT IMPRIMANTE, MODEM, CARTE DE COMMUNICATION RS 232
  - CARTE DE RECONNAISSANCE VOCALE 32 MOTS QUELCONQUES
  - FLOPPY DISQUES (1 A 14 FOIS 116 Ko)
- DOS FICHIERS DE DONNÉES EN ACCÈS SEQUENTIEL INDEXÉ PROGRAMMATHIQUE CHAINAGE DES PROGRAMMES PROTECTIONS D'ECRITURE

MICRO-ORDINATEUR I.S.T.C. 5000

MICROPROCESSEUR Z80 RAM de 24 Ka 64 K
SORTIE VIDEO 24 LIGNES, 80 COLONNES
- GENERATEUR DE CARACTERES PROGRAMMABLE
- 1 OU 2 MINI-FLOPPY DISQUES (DOUBLE FACE) INTEGRES
- DOS EDITEUR DE TEXTE
  MACRO ASSEMBLEUR
  BASIC ETENDU IF THEN ELSE WHILE
  PRINT USING
  FORTRAN IV ANSI
  EDITEUR DE LIENS POUR MODULES FORTRAN
- 2 A 5 CONNECTEURS BUS S-100
  INTERRUPTIONS CHAINEES AVEC PRIORITES (8 NIVEAUX)
- CARTE DE COMMUNICATION SYNCHRONE ASYNCHRONE)
- IMPRIMANTE AVEC INTERFACE PARALLELE

Bon réponse à retourner à : I.S.T.C. 7 à 11 rue Paul Barruel 75015 Paris. Tel. 306.46.06.

Micro-Systèmes

Raison Sociale

Adresse

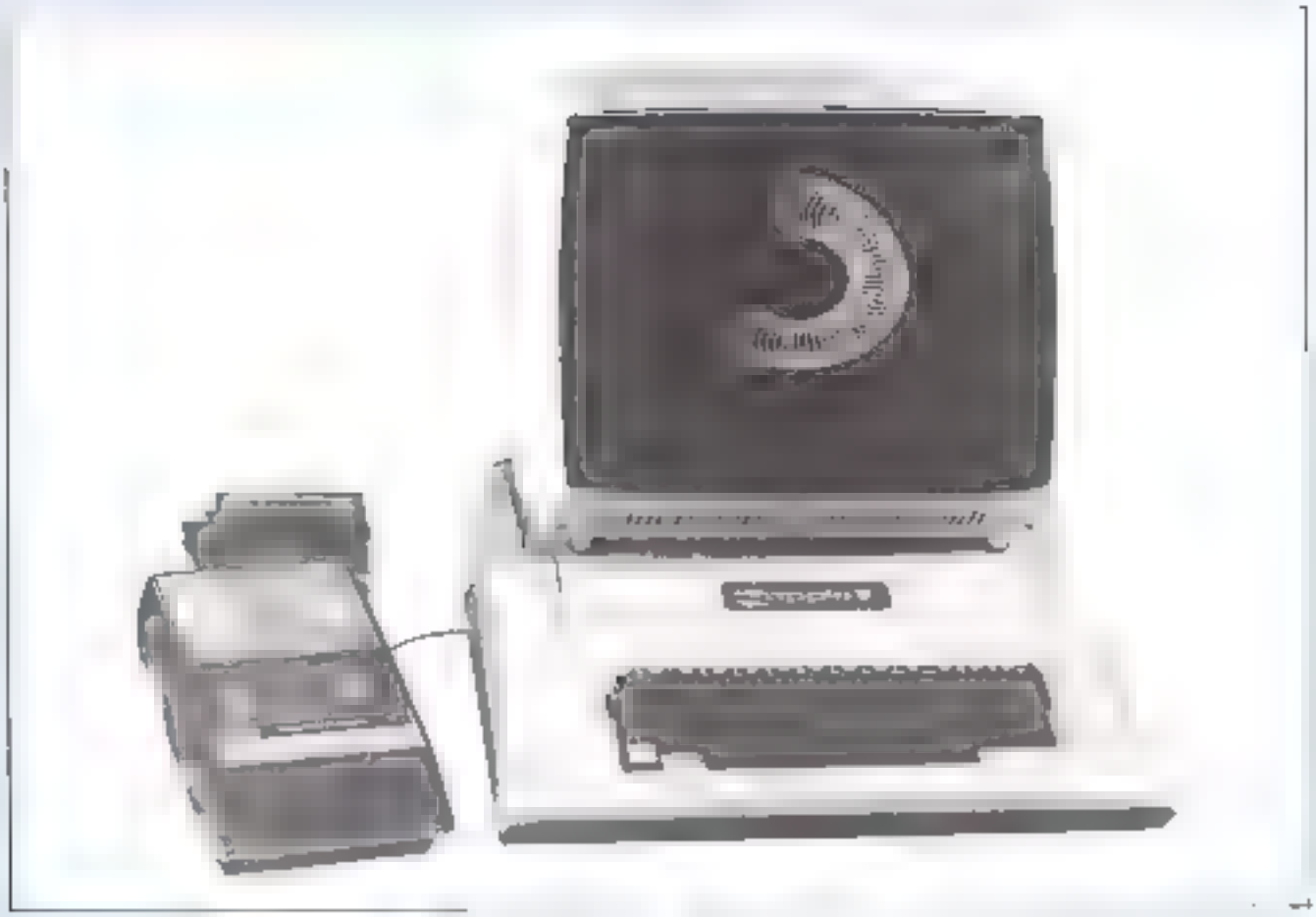
Activité

Nom et Fonction

Tel

☐ UNE DEMONSTRATION ☐ LA VISITE D'UN COMMERCIAL

APPLE-II



Le micro ordinateur Apple-II relié à un magnétophone à cassettes et à un téléviseur couleurs

En janvier 1976 Steeven Jobs, master de physique, 20 ans, et Stephen Wozniak, Ph. D. 28 ans, mettent au point dans leur garage un micro ordinateur APPLE-I à usage personnel, destiné aux amateurs d'informatique. En janvier 1978, ils déménageaient dans des locaux de 20 000 pieds² à Cupertino et une version améliorée, dotée de dispositifs qui vulgarisaient un peu plus la première, est née : l'Apple.

Apple veut dire pomme en anglais. Ce nom vient du fait que toutes leurs économies ayant été dépensées, le jour de la dernière mise au point de leur création, il ne leur restait à manger que des pommes.

De juillet 1977 à janvier 1978 se sont vendus plus de 5 300 Apple-I. Pour cette année les prévisions du marché qui pousse les fabricants à la mise en œuvre de plus de 25 000 unités.

Le duo de la technique a été rejoint par A.C. Marcula au marketing, un monsieur qui a fait ses armes chez Fairchild, Hugues et dernièrement, pendant quatre ans chez National comme marketing manager. Ils sont aujourd'hui vice-presidents de Apple Inc., société presidée par Mike Scott, directeur des opérations de circuits hybrides pendant six ans chez National Semiconductor après avoir travaillé chez Fairchild où il avait connu le vice-president d'aujourd'hui Marcula.

Structure

L'Apple-II utilise un poste de télévision couleurs comme terminal de visualisation et reçoit ses ordres d'un clavier ASCII.

Doté d'un microprocesseur 6502 de MOS-Technology il contient un programme moniteur d'une capacité de 2 K-octets permettant d'assembler et même de désassembler des programmes microprocesseurs.

Une version « tiny » Basic à nombres entiers est résidente en 6 K-octets de mémoire. Une option plus performante, à calcul en flottant est disponible sur bande mini cassette et se charge en RAM.

Le programmateur dispose de 4 K-octets de RAM dynamique pour les versions standard qui peuvent être étendues grâce à l'existence de supports, jusqu'à 48 K-octets. Les prix des versions 4 K, 16 K, 32 K ou 48 K variant en conséquence (pour mars 78 par exemple : 8 200 F, 11 200 F, 14 300 F et 17 500 F H.T.).

La partie supérieure est amovible et permet l'accès à tous les circuits, câblés sur une grande carte imprimée à trous métallisés.

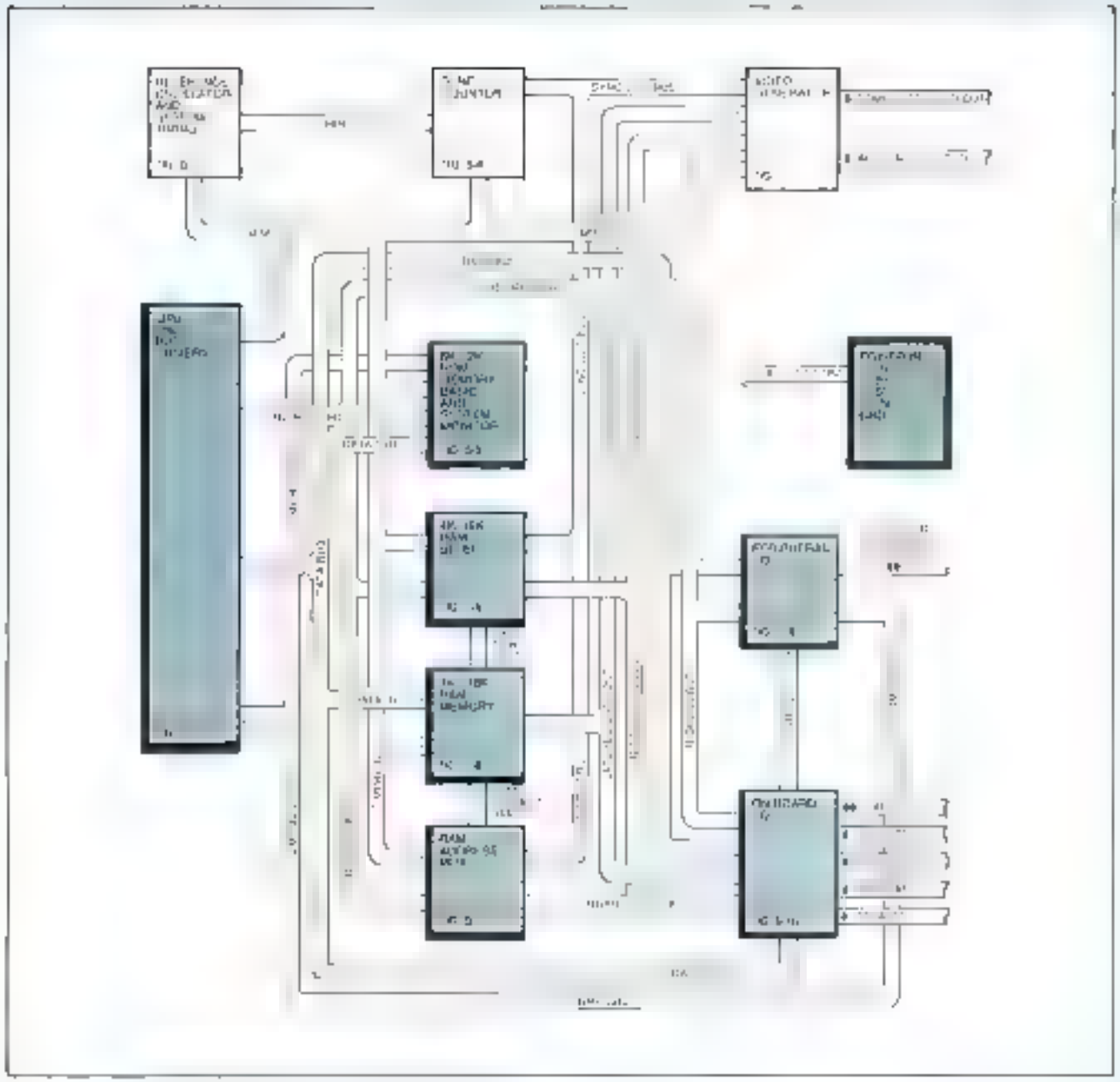


Fig. 1 – Synoptique du Apple-II

L'alimentation à découpage a un excellent rendement et peut supporter la consommation locale et celle de 8 périphériques.

Huit supports permettent l'installation de modules personnalisés. L'horloge du microprocesseur est constituée de manière à faciliter un DMA pour la visualisation alphanumérique ou graphique sur l'écran. Elle provient de la division successive d'un oscillateur pilote à 14,318 MHz par 4, ce qui donne la fréquence de référence de la sous-porteuse couleur du NTSC à 3,579 MHz et par 3, ce qui mène à la fréquence d'horloge Φ_2, d'environ 1 MHz. Rappelons que le constructeur du Apple s'est peu soucié du standard SECAM, qui est obtenu par transcodage sur une carte compatible avec le bus interne du Apple, issue des mains des revendeurs en France du produit.

Outre l'interface minicassette et la prise UHF-TV, on trouve un interface « jeux », pouvant supporter deux potentiomètres et boutons poussoirs permettant des jeux très perfectionnés, en télévision couleurs.

La structure est polyvalente, car elle permet aussi le couplage d'interfaces avec mémoires de masse, lecteurs optiques de cartes, tables traçantes, digitaliseurs vidéo, horloges temps réel, etc.

Soulignons que ces interfaces et tant d'autres (la carte heuristique speech lab – de reconnaissance de la parole, par exemple), prendront place sur des emplacements prévus de développement.

Toutes les versions standard possèdent un petit haut-parleur qui peut reproduire la « bande sonore » des jeux, accessible par soft.

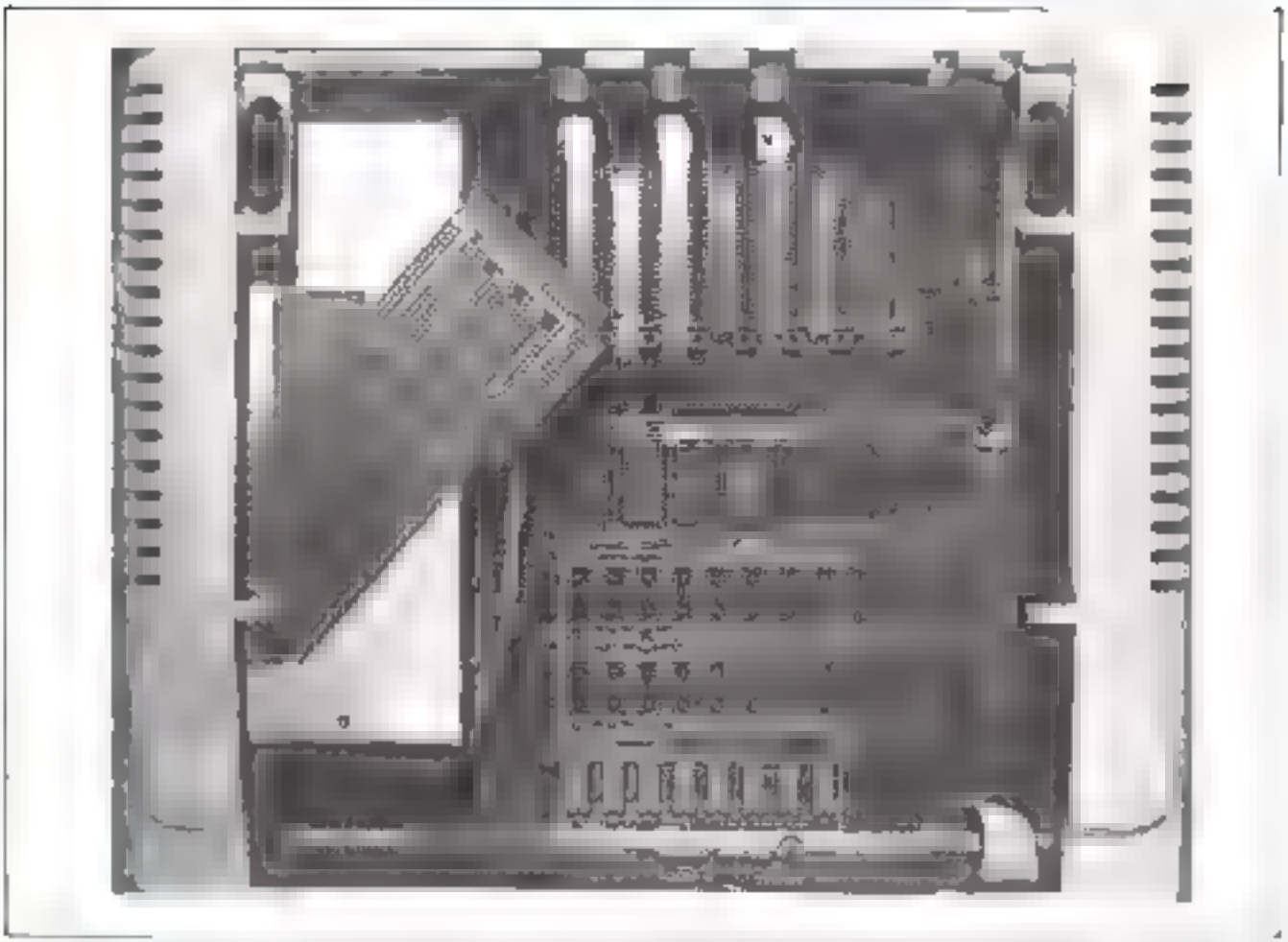


Photo 1. — ... un intérieur de châssis. Remarquer les huit slots et la Pluche ... pour des aménagements personnels.

Programmation

A l'image de la structure qui permet le développement d'applications particulières, la programmation du Apple permet de travailler à loisir soit en langage machine, soit en assembleur, soit en un langage plus évolué comme le Basic. On peut y développer des « softs » d'applications microprocesseur en vue de réaliser des systèmes, comme on peut analyser des ROM-s à l'aide d'un désassembleur résident, ou travailler en Basic. Dans tous les cas on a accès à des commandes de graphisme-couleur qui feront la joie de plus d'un artiste-décorateur. L'écran est géré de deux manières

— **Texte** 24 lignes de 40 caractères/ligne, la gestion du texte ne différant en rien de celle d'une « video-RAM »

— **Graphisme, en plusieurs variantes** soit 15 couleurs standard et un tableau de 40 x 40 points avec 4 lignes de texte ou 40 x 80 points sans texte, soit 4 couleurs et une plus haute résolution, de 160 x 280 points et 4 lignes de texte ou 280 x 192 points sans texte

La gestion du texte comporte des possibilités d'édition suppressions ou copies de lignes, insertions, contrôle des mouvements du curseur etc

Les erreurs de syntaxe sont corrigés immédiatement et des messages d'erreur appropriés apparaissent. Les 8 plaques-support sont adressables en basic.

Les interruptions hiérarchisées et le DMA sont également permises. Les programmes peuvent également gérer ou générer des sons, dans le haut-parleur interne

Photo 2. — Le Apple-II dans une application de gestion

Exemples d'applications et utilités

La société ISTC *, l'une des distributrices du Apple-II en France, nous a fait parvenir le programme de gestion d'un fichier clients (**photo 2**), tenant très peu de place-mémoire et permettant des recherches par nom, chiffre d'affaires, localités ou des statistiques pouvant déterminer en un temps accord les clients-type, moyens, bons ou « perdus ».

Nous avons également essayé un programme de compte-chèques, en anglais, qui donnait par une modulation négative ou un changement de couleur les moments de début de la balance.

Conclusion

L'excellent accès à l'électronique et à tous les niveaux de programmation donnent une garantie réelle de **développement**. Sur un tel micro-ordinateur chacun peut mettre au point sa propre application. Ces mêmes raisons donnent une qualité didactique à l'appareil, qui est un excellent **outil d'enseignement** tant de l'électronique que de la micro-informatique.

Le **chargement mini-cassette** est parfois difficile. Le basic-résident à calculs entiers, est plus pratique seul pour l'enseignement et l'exercice de la micro-informatique. La version qui se charge à partir du mini-cassette demande l'adjonction de mémoires RAM, outre les 4 K standard, pour pouvoir travailler correctement.

Le **graphisme-couleur** est exceptionnel. Il ouvre des champs très vastes de création en dessin, statistiques, médecine, etc... comme le montre notre couverture.

En haute résolution en 6 K, il analyse chaque image à visualiser ■

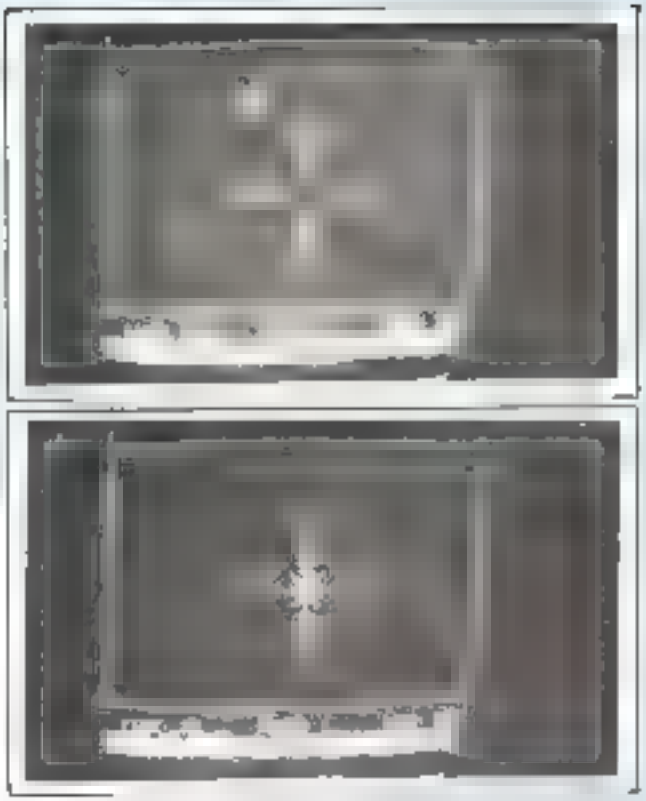


Photo [illegible] Apple-II [illegible] Quelques [illegible] Apple-II Animées par Sextant ».

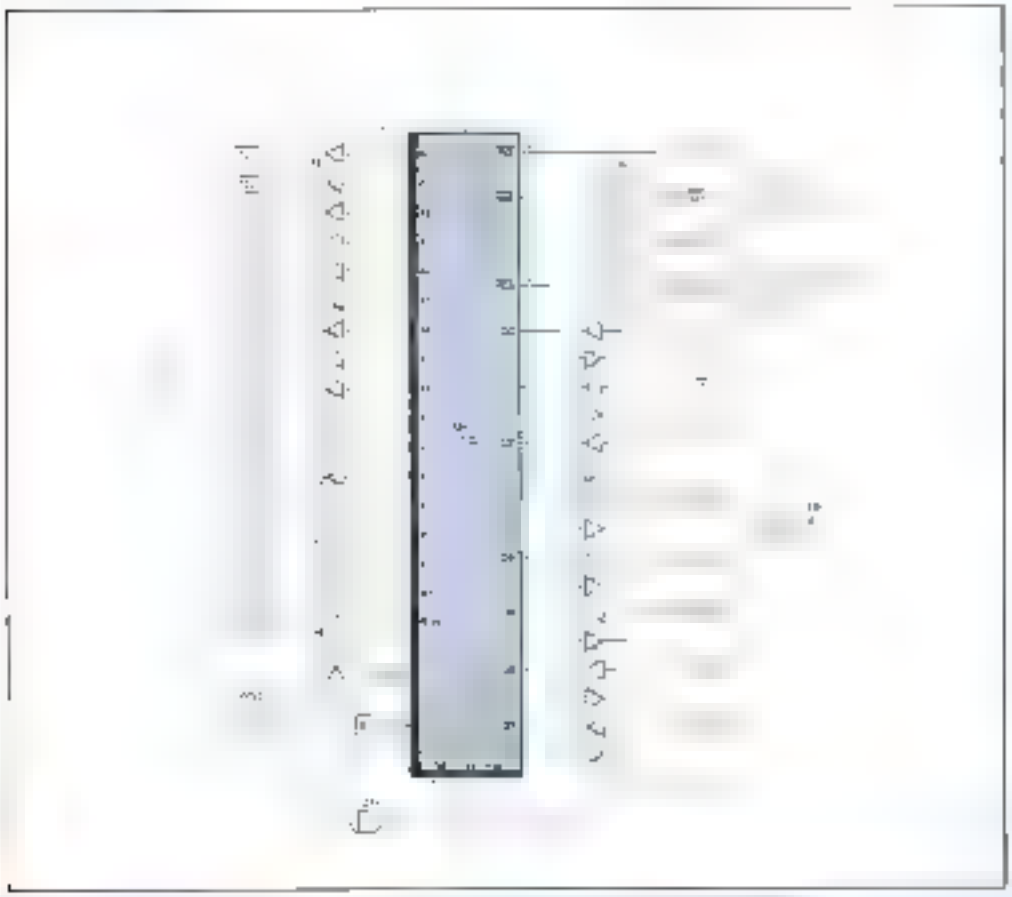


Fig. 2. L'unité centrale du micro-ordinateur « Lampsonic ».

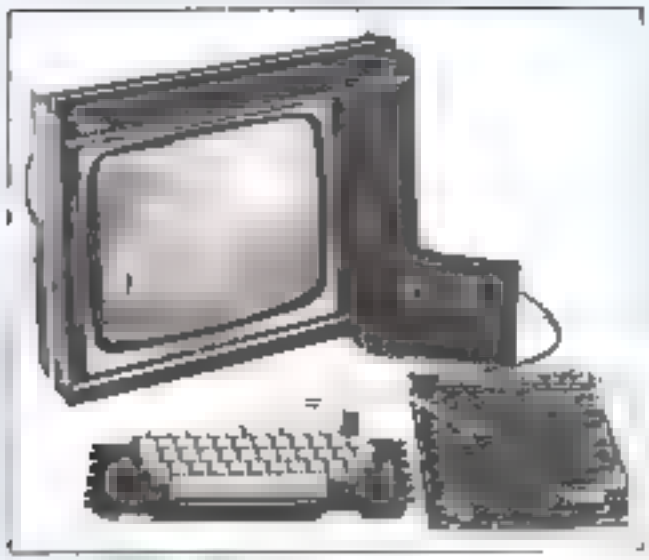
* I.S.C.I.I.
American Standard Code for Information Interchange

Distributeurs du Apple II

ISTC
Informatique Scientifique et Technique pour l'Entreprise
[illegible] Paris
Tél. [illegible]

Sextant
5, rue François-Ponsard
75016 Paris
Tél. 524-37-40

Nascom 1



Structure de l'appareil de base

A qui s'adresse Nascom 1" ? Probablement à tous ceux qui n'hesitent pas à manier le fer à souder puisque Nascom 1 est livré en kit (une version toute montée peut aussi être obtenue). Il intéressera donc les hobbyistes ou ceux qui veulent le devenir – et les techniciens.

L optimisation du prix a été particulièrement recherchée puisque le distributeur offre l'appareil en kit pour 2490 ttc ! Il constitue déjà un ordinateur complet avec toutes ses interfaces et un clavier alphanumérique. Pour les besoins plus importants, un rack permet de connecter jusqu'à 12 cartes supplémentaires : cartes mémoire RAM ou ROM, interfaces parallèle et série.

Nascom 1 se présente sur une seule carte de circuit imprimé de 20 cm x 30 cm, soit approximativement le format de cette revue. Un clavier Lucas de type Qwerty à 47 touches, livré sur demande, fait également partie de la configuration de base.

Que trouve-t-on sur la carte principale ? Le schéma synoptique (fig. 2) de l'appareil et les principaux éléments :

- Microprocesseur Z80 ZILOG (MK 3880 de Mostek).
- Une Eprom 2708 de 1 K mot contenant le moniteur Nasbug. Un emplacement pour une Eprom supplémentaire est disponible.
- 1 K x 8 de RAM à la disposition de l'utilisateur.
- Interface vidéo gérée par software, équipée d'un modulateur UHF permettant d'attaquer une télévision.
- Interface magnéto-cassette.
- Gestion d'E/S série par un UART * compatible V24 ou TTY.
- Gestion d'E/S parallèle par PIO* fournissant deux ports de 8 bits, programmables par l'utilisateur.

La documentation est orientée vers les personnes ayant peu de connaissances techniques. Le manuel de montage et le manuel de logiciel sont en français. Les notices techniques concernant le Z80, l'UART, le PIO, sont celles du fournisseur de composant.

Examinons maintenant la constitution de Nascom

Les eléments de Nascom 1

Microprocesseur Z80

L'unité centrale du Nascom 1 est le microprocesseur Z80, dont la réputation n'est plus à établir. Ce microprocesseur 8 bits est alimenté par une tension unique + 5 V et nécessite une seule phase d'horloge : 2 MHz en version normale, 4 MHz en version rapide. Il intègre 208 bits de mémoire RAM organisés en 18 registres de 8 bits et 4 registres de 16 bits. Outre deux types d'interruption – masquable et non masquable – et la possibilité d'adresser jusqu'à 64 K, il réalise automatiquement le rafraîchissement des mémoires dynamiques. Ses 158 instructions de base englobent celles du 8080, et il peut être adressé en 7 modes différents. Sept types d'opérations peuvent être utilisés, dont la recherche d'un caractère à l'intérieur du bloc et la manipulation au niveau du bit.

Mémoire disponible

L « operating system » Nasbug est implanté à l'adresse 0000, car c'est l'adresse présente sur le bus du Z80 à la mise sous tension. Le moniteur Nasbug est dans une Eprom 2708, et une seconde Eprom peut être montée sur la carte principale. Elle contiendra par exemple une extension du moniteur développée par le constructeur ou par l'utilisateur. La mémoire RAM utilisateur est constituée de boîtiers MK 4 02, offrant un total de 1 K x 8 bits de capacité, dont environ 10 % sont pris par le moniteur. Par ailleurs, la mémoire servant à l'affichage sur écran peut être programmée par l'utilisateur, ce qui permettrait alors de disposer de 1 K supplémentaire. Un connecteur disponible à l'arrière de la carte permet d'étendre la capacité mémoire jusqu'à 64 K x 8 bits.

Clavier et interface vidéo

Le clavier fait partie intégrante du système. Il est constitué de 47 touches décodées par hardware, et dont les fonctions sont générées par software. On peut aussi ajouter des touches de fonction si nécessaire, ou changer l'adressage des touches.

Le choix du constructeur s'est arrêté sur un clavier à effet Hall, qui a l'avantage de supprimer les contacts mécaniques. Mais pourquoi avoir choisi un clavier complet alors que Nascom 1 travaille en hexadécimal ? Parce que dès le départ, l'utilisateur à la possibilité de générer du texte et que les extensions prévues Basic et Assembleur impliquent l'emploi d'un clavier alphanumérique.

* Nascom
en distribution en France par R.S. 26, rue de la Croix-Nivert, 75015 Paris. Tél. : 306.96.69.

* UART
Universal Asynchronous Receiver Transmitter : Convertisseur série parallèle / parallèle série.

* PIO
Programmable Input-Output : Interface d'entrée-sortie programmable.

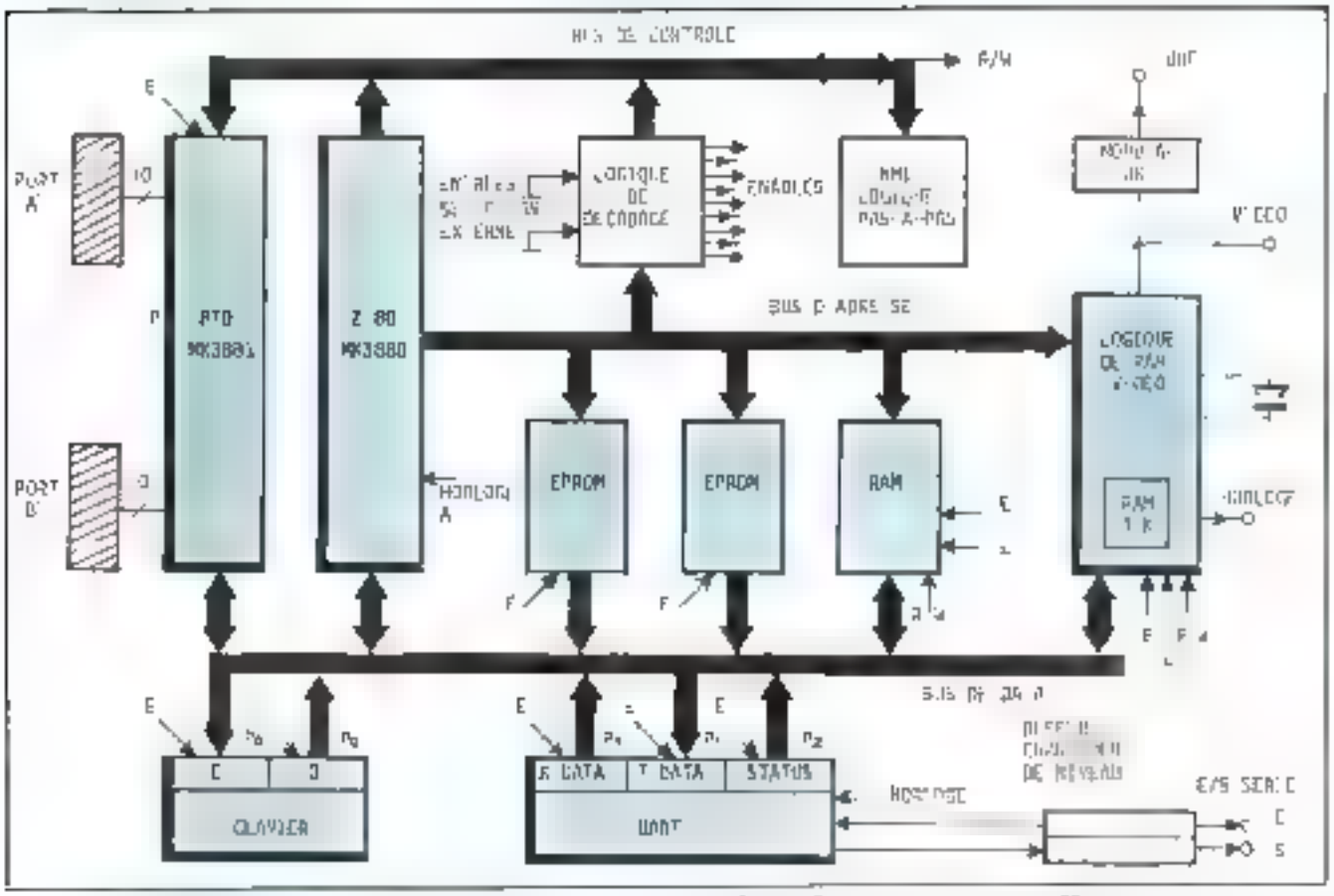
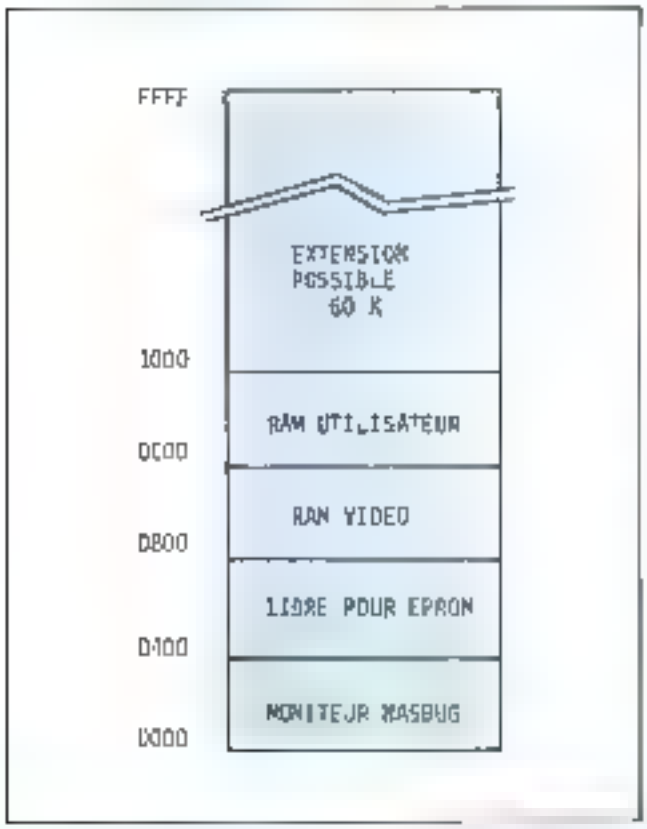


Fig. 1. – Le MASCOM 1 est organisé autour du Z80.

Fig. 2. – Implantation mémoire du micro-ordinateur



L'interface vidéo permet l'affichage de 16 lignes de 48 caractères, chaque caractère étant défini par une matrice de 16 x 12 points. Et si le constructeur livre un générateur de caractères anglo-saxon avec son kit, il nous rappelle aimablement qu'il peut être remplacé par le générateur de caractère français Motorola MCM 6578. La sortie modulée UHF permettra à l'amateur d'utiliser son poste de télévision, avec une bonne netteté d'image. Bien entendu, une image meilleure sera obtenue avec la sortie vidéo.

Les entrées-sorties séries

Les E/S séries correspondent à deux types de périphériques :

— d'une part les magnéto-cassettes, universellement admis comme mémoire de masse pour micro-ordinateur ;

— d'autre part les télétypes, les terminaux vidéo, et les liaisons série avec d'autres ordinateurs.

Une UART est utilisée comme organe de transmission série. Quelles sont les vitesses de transfert réalisées ? Elles dépendent des bases de temps utilisées :

- 300 bauds * environ pour l'interface cassette,
- 110 bauds pour l'interface TTY et V24,
- jusqu'à 200 k-bauds en utilisant une horloge externe.

Le format des entrées-sorties retenues est très classique : 1 bit de départ, 8 bits de donnée, 1 bit de parité, 2 bits d'arrêt.

Les caractéristiques des signaux utilisés pour le magnéto-cassette s'écarte du standard Kansas-City tout

* *Baud*
Unité d'information binaire. Nombre de bits par seconde.

interface spéciale est prévue si besoin est). Par contre, les autres liaisons série se font grace au standard CCITT V 24 (RS 232 C) et boucle 20 mA. Notons également que l'on peut utiliser les télétypes de code Baudot à 5 bits.

Le pilotage du magneto cassette est-il automatique ? Ne soyons pas trop exigeant pour le prix. Une LED indique que le système est prêt à transmettre ou à recevoir. Par contre, le signal peut être prélevé et servir à activer un relais de contrôle du moteur.

Entrée-sortie parallèle

Un PIO MK 3881 met à la disposition de l'utilisateur deux ports de sortie de 8 bits. Chaque port peut être programmé indépendamment en entrée ou en sortie.

Moniteur Nasbug

Les performances pratiques d'un système sont étroitement liées à celles de son moniteur. Celui-ci est organisé en deux parties : la gestion des entrées-sorties d'une part (clavier, RAM vidéo, UART) et la mise à disposition de 8 instructions d'autre part, qui permettent à l'utilisateur de gérer le système. Quelles sont ces instructions introduites au clavier ?

- T affiche le contenu de la mémoire entre deux adresses spécifiées
- M permet de charger ou de modifier le programme à partir d'une adresse donnée. L'incrémentation de celle-ci étant automatique
- E exécute le programme
- S exécution des programmes instruction par instruction avec affichage des registres du Z80

Photo : [illegible] une imprimante de 20 x 30 cm, fait partie de la panoplie [illegible] de Nascom.

- B mise en place de points d'arrêts et affichage des registres
- D instruction dump, faisant passer le contenu de la mémoire comprise entre deux adresses sur la sortie série (écriture sur cassette par exemple)
- L pour le chargement à partir d'un magnéto-cassette
- C copie du contenu de portions de mémoire dans d'autres zones mémoire

Le moniteur Nasbug est donc bien adapté à l'utilisation du système de base et au développement de programmes. Mais l'utilisateur peut toujours créer lui-même son logiciel spécifique, et le placer sur une Eprom dont l'emplacement est disponible. Un programmateur d'Eprom est également livrable.

Alimentation du système

Le système doit être alimenté en + 5 V, – 5 V, + 12 V et – 12 V pour l'E/S V 24. Attention aux erreurs de manipulation : le – 5 V doit toujours être présent avant les autres tensions sous peine de destruction du générateur de caractères.

Le constructeur fournit en supplément, une alimentation suffisante pour la carte principale et une carte extension mémoire de 32 K. Au-delà, une alimentation plus puissante permet d'alimenter toutes les extensions prévues.

Extensions de Nascom 1

La politique de bas prix a été poursuivie également pour les extensions, ce qui rend les configurations évoluées particulièrement attractives. Le désir d'offrir une carte de base peu onéreuse a conduit à des choix qui constituent cependant de légers handicaps : ainsi, les buffers

MK14 KIT MICRO PROCESSEUR SC/MP

distribué par JCS composants

795 00 F TTC
676,00

UN PRIX
JAMAIS ATTEINT

CARTE DE BASE

MANUEL EN FRANÇAIS

OPTIONS

96,00 F

20,00 F

45,00 F

JCS COMPOSANTS
750[illegible] PARIS Tél. 306-93[illegible]

DISTRIBUTEURS
MK 14

sont placés sur une carte buffer-bus séparée, et le bus utilisé a 77 lignes. Mais il est probable que, devant la demande, un bus S100 devra être proposé.

A ce jour, les extensions offertes sont les suivantes :

Mémoire

Une carte mémoire reçoit jusqu'à 32 K de RAM :
- 4 ou 8 K x 8 bits en 8 ou 16 mémoires 4027
- 16 ou 32 K x 8 bits en 8 ou 16 mémoires 4116.

Deux cartes complètes permettent de porter la capacité totale mémoire à 64 K.

Un Basic en 2 K d'Eprom peut en outre être placé sur ces cartes.

Carte entrée-sortie

Cette carte peut recevoir trois PIO MK 3881, un CTC MK 3882, une UART IM 6402.

Imprimante et Floppy-disques

Le constructeur annoncera sous peu les imprimantes et floppy-disques qu'il a retenu pour le système.

Rack

Un rack VERO conçu spécialement permet d'enficher sur une carte mère les options déjà citées. Il contient également l'alimentation.

Programmeur d'Eprom

Un programmateur d'Eprom 2708 fonctionnant avec le système est livrable en kit.

Le logiciel

Au-delà du langage machine utilisé dans la version de base avec le moniteur Nasbug, un petit Basic en 2 K est proposé.

Le constructeur annonce également un assembleur résident et un Basic étendu en 6 K.

Quant au software d'utilisation, il est fait appel à la compétence et à la coopération des utilisateurs. Un club d'échange de programme est en fonctionnement. Il permet d'obtenir les programmes en bibliothèque, dont la liste est diffusée périodiquement aux membres du club Nascom.

Notre conclusion

Le kit de base coûtant 2 490 francs ttc constitue un petit ordinateur personnel complet, un excellent kit d'initiation, et la base de systèmes de contrôle industriels.

Un exemple de configurations permet de comparer Nascom à ses concurrents :

— Nascom I plus alimentation, la carte buffer bus et la carte mémoire avec 32 K de RAM environ 7 700 francs ttc en kit, sans son rack.

— Avec 16 K et le Basic 2 K : 6 200 francs ttc.

De plus, le constructeur a mis en place une organisation commerciale européenne bien structurée. Des distributeurs sont en place dans tous les pays. Ils prennent en charge le service après vente, mais animent également les club utilisateurs nationaux. Ceux-ci peuvent puiser dans la bibliothèque de programmes regroupée à Chesham, près de Londres. Nascom fera certainement une entrée remarquée sur un marché avide de nouveauté ■

La cybernétique

Quelquefois, rien dans la nuit... Il ne faut à nouveau

La science qui étudie les commandes automatiques des machines est la cybernétique. Son objet est, pourtant plus étendu d'après Norbert Wiener le mathématicien qui a contribué le plus à son développement — de façon qu'on peut affirmer qu'il en est le créateur, — le contrôle et la communication chez l'animal et dans la machine ».

De ce fait, la cybernétique — le mot est d'origine grecque et exprime l'action et l'art de « diriger », de « gouverner » — apparaît comme une science à portée très générale, le domaine de son champ d'applications touchant les sciences fondamentales, la physique, la biologie la technique ainsi que la société humaine en général. Nous allons présenter et décrire dans ce qui suit quelques-uns des aspects les plus caractéristiques de cette nouvelle branche de la science du XX^e^ siècle, sans laquelle les impressionnants progrès réalisés dans tous les domaines de l'activité humaine, ces dernières décennies, n'auraient sans doute pas été possibles. En effet, la cybernétique a, par exemple, comme parties constituantes **la théorie de l'information, le réglage automatique et la théorie des ordinateurs** dont l'importance dans la société moderne actuelle ne fait que s'accroître.

De ce fait, l'étude de la cybernétique intéresse les hommes, les sociologues, les économistes, les politiciens, les hommes d'Etat, les « managers », aussi bien que les philosophes, les physiciens, les biologues, les mathématiciens et les ingénieurs, de profils apparemment très différents.

La société moderne ressent sans cesse le besoin de techniques de gestion de plus en plus sophistiquées, capables de maîtriser les progrès incessants de la technologie. Inversement, le perfectionnement de ces mêmes techniques concourent aux progrès de la technologie. La cybernétique, à travers sa partie constituante, à savoir la théorie de l'information et ses applications (les ordinateurs, l'automatique, etc.) veut combler ce besoin d'information du manager. Mais, pour satisfaire ce besoin et maîtriser les nouvelles techniques, il doit comprendre leur fonctionnement, connaître leurs possibilités et leurs limites et savoir quelles questions poser pour être sûr d'accomplir efficacement les tâches envisagées. De cette manière, la cybernétique apparaît comme un vrai guide pour le manager (administrateur, le scientifique expérimentateur ou théoricien, le technicien et, en général, pour tous ceux intéressés au traitement des données qui sont évidemment autant d'informations).

Il faut remarquer également la place des « automates » — entendus comme des appareils (machines) qui imitent le mouvement d'un corps animé — dans le cadre de la cybernétique.

On peut affirmer que toutes les instructions dans lesquelles un appareil assume une structure ou une fonction spécifique sur la base de l'expérience passée conduisent à des nouvelles attitudes en technique autant qu'en biologie.

Les appareils ayant cette caractéristique peuvent être conçus non seulement comme « machines à jouer aux échecs » ou à accomplir d'autres performances remarquables mais également, peuvent être destinés à fournir une amélioration continue de leurs propres performances sur la base, justement, de leur expérience passée. Techniquement des structures artificielles peuvent produire d'autres structures avec une action similaire aux précédentes.

Une application en électronique est constituée, par exemple, par les systèmes oscillants à une fréquence donnée et capables de réduire d'autres systèmes oscillants à cette même fréquence.

Le cas des « **machines à apprendre** » est très intéressant. La description de telles machines et la présentation de leurs potentialités constitueraient, à elles seules, le sujet d'un article entier. A cause de cela, nous nous contenterons de décrire brièvement, leurs principes, leur fonctionnement et leurs performances.

Il faut souligner que ce sont, justement, les problèmes posés par les « machines savantes » qui ont poussé à ses débuts, l'avancement et le développement de la cybernétique. Ces machines à apprendre doivent d'une certaine façon, tenir compte des résultats de leur activité antérieure et avoir donc des qualités de prédiction en quelque sorte.

Les caractéristiques « linéaires » d'un tel appareil, dotée d'une fonction de prédiction — et utilisé à un instant arbitraire donné, — dépendent d'une connaissance antérieure de longue date des statistiques de l'ensemble de séries temporelles que nous désirons voir prédites.

La cybernétique nous fournit les principes à travers lesquels on peut traduire mathématiquement la connaissance préalable de ces caractéristiques. Il est possible, également, de réaliser un ordinateur capable de traiter ces statistiques et de développer les caractéristiques, à court terme du « prédicteur », sur la base d'une expérience qui ait été déjà observée par la même machine, lorsqu'elle est utilisée en vue de prédictions. Ce traitement est fait automatiquement.

Les théories de la prédiction linéaire et de la prédiction non linéaire impliquent certains critères de « bonne qualité » (entendue comme une sorte de « rendement ») de la prédiction. Le plus simple critère est celui correspondant à la minimalisation du carré moyen de l'erreur.

L'expérience acquise en construisant des « machines à

apprendre » et en développant les théories les concernant, a été étendue à d'autres dispositifs importants en pratique, relevant de l'électronique ou de l'informatique, ou même à l'étude et à la construction de machines capables de jouer à des jeux compétitifs comme par exemple le jeu de dames.

On a construit d'autres machines à apprendre capables de prouver des théorèmes géométriques et de simuler — dans une mesure limitée — la logique de l'induction. Le principe est le même : les valeurs de certaines fonctions associées à des séries temporelles sont évaluées numériquement ; des valeurs de ces fonctions significatives dépendent le succès de l'entreprise envisagée ; dans le cas du jeu de dames, les grandeurs « significatives » sont le nombre des pièces des deux côtés, la commande totale de ces pièces, leur mobilité, etc. Au commencement de l'emploi de la machine, ces différentes considérations représentent des pondérations d'essai données, et la machine choisit parmi les démarches de fonctionnement admissibles, celle pour laquelle la pondération totale a une valeur maximum. Jusqu'à ce point, la machine a travaillé selon un programme rigide et n'a pas été une « machine à apprendre » proprement dite.

Cependant, de temps à autre, la machine assume une tâche différente : elle essaie de développer précisément la fonction qui prend la valeur « 1 » pour les jeux gagnants, « 0 » pour les jeux perdus, et peut-être /2 pour les parties nulles, en termes de diverses fonctions exprimant les considérations, votre estimations, évaluations dont la machine est capable de prendre connaissance. Ainsi, la machine redétermine les pondérations de ces mêmes estimations de façon à être capable de jouer un jeu beaucoup plus sophistiqué et « intelligent ».

En résumé, on peut affirmer que les machines de ce type ont des propriétés qui les rendent potentiellement capables de « vaincre » leur programmeur après, par exemple, 10 ou 20 heures de fonctionnement, qui sont autant d'heures d'« enseignement » et d'apprentissage.

Des travaux accomplis par de telles machines, comme la démonstration de théorèmes de la géométrie et la simulation de la logique de l'induction, mentionné ci-dessus relèvent de la théorie et de la pratique de la « **programmation de la programmation** ».

Quant à la programmation des « machines à programme rigide », celle-ci est une tâche souvent très difficile. On essaie de réaliser des machines capables de programmer cette programmation, en utilisant ces façons de « mécaniser » le raisonnement scientifique. Les principes de fonctionnement des machines à apprendre, connues également sous le nom de machines cybernétiques, ont permis de mieux comprendre les mécanismes des systèmes biologiques ou, comme on s'exprime parfois, de la « machinerie de la vie » et tout particulièrement de la « machinerie du cerveau de l'animal ou de l'homme ».

La « cybernétique biologique » est concernée, justement, avec ces mécanismes et elle se propose de créer ainsi un pont entre les sciences physiques et les sciences de la vie.

En effet, il y a des lois communes qui semblent gouverner les systèmes naturels aussi bien qu'artificiels, voire les machines cybernétiques ou même les ordinateurs habituels.

De récentes découvertes dans des domaines aussi différents que la [illegible] logie, l'électrophysiologie et la science des ordinateurs (ce qu'on appelle plus communément l'informatique) semblent prouver cette hypothèse.

La cybernétique fournit également les moyens de la compréhension des fondements physiques de la vie intelligente, de l'intelligence et de la conscience mêmes, en proposant de considérer la biologie comme une branche des sciences physiques et l'homme (et évidemment l'animal) comme seulement un type complexe de machine. Suivant cette hypothèse, même les propriétés de comportement de l'organisme humain auraient une origine physique.

Ces assertions de la branche biologique de la cybernétique, tout en étant très séduisantes, comme aux débuts de cette branche, sont pourtant de l'avis de l'auteur, comme de l'avis d'un grand nombre de chercheurs, encore du moins — peu défendables.

En effet, des preuves irréfutables à l'appui de l'hypothèse avancée — selon laquelle les propriétés du comportement de l'organisme humain seraient entièrement déterminées par le jeu et l'action normale des lois de la physique dans la matière chimique mammée — n'ont pas encore été apportées, en dépit de l'effort de conviction de très [illegible]

L'opinion de l'auteur est que le raisonnement par analogie a été poussé trop loin et que même si les processus de réception, de stockage de traitement et de transmission des informations (captées de différentes façons par les sens) présentent des similitudes ou bien sont identiques dans leur fonctionnement dans les machines cybernétiques et chez les organismes vivants, la nature intrinsèque de ces processus reste différente chez l'un ou l'autre type « de machine ».

Les lois de structure et de comportement de la biologie et par conséquent les mécanismes des processus biologiques ne peuvent pas se réduire seulement aux lois de la physique, c'est-à-dire, somme toute, de la mécanique (classique ou quantique, peu importe) [illegible] viendrait à tomber comme jadis Des [illegible]

En effet, on sait maintenant que le maintien du niveau correct de travail du système nerveux est assuré par l'action de feed-backs spéciaux.

D'autres feed-backs assurent une réponse adéquate à diverses excitations, tant intérieures qu'extérieures à l'organisme considéré. Un exemple de processus spécifi[illegible] par le phénomène des ondes cérébrales de fréquences [illegible]

Il y a également des implications de la cybernétique dans la philosophie scientifique et spécialement dans la philosophie de l'espace-temps.

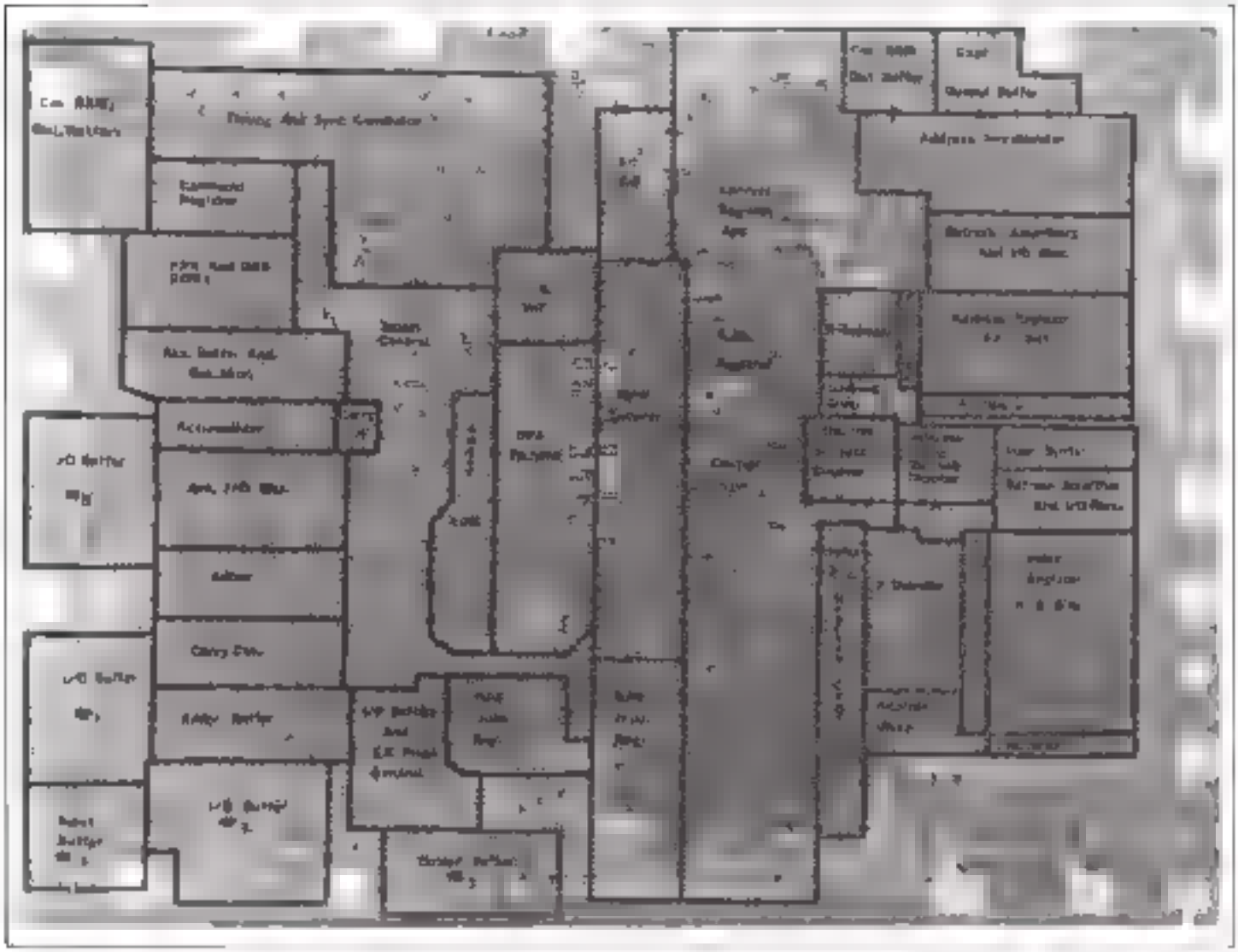
Il faut pourtant mentionner que si la cybernétique ne change pas notre notion habituelle de l'espace, elle semble modifier au contraire le contenu et l'utilisation habituelle du concept de temps, lié au concept « d'entropie » de l'« information » entendue comme mesure du désordre d'un système, — même si elle ne propose pas, apparemment du moins, un concept différent de celui des théories physiques vérifiées et crédibles, comme la théorie de la relativité ou la mécanique quantique dans sa formulation [illegible]

L'auteur se limite à relever l'importance de plus en plus croissante de l'informatique dans tous les domaines de la vie humaine.

Espérons que cette présence envahissante va néanmoins permettre une « coopération harmonieuse » de l'homme avec son concurrent moderne « la machine » fut-elle un ordinateur « ordinaire » ou une très sophistiquée machine savante cybernétique. ■

Victor Virgil Iacobescu

L'Unité Arithmétique et Logique



L'Unité arithmétique et logique communément appelé ALU de l'anglais Arithmetic Logic Unit est la partie du microprocesseur qui manipule gère et combine les données. Elle peut réaliser un nombre important d'opérations comprenant des fonctions logiques ET OU inversion des fonctions arithmétiques additionner, soustraire incrémenter décrémenter et de nombreuses instructions telles que des comparaisons ou des tests de l'état d'un bit dans un registre.

Avant d'aborder la description de l'ALU il est nécessaire pour bien en assimiler le fonctionnement de garder à l'esprit les principales fonctions de bases qui la composent : les portes, les mémoires et les registres.

Nous introduirons ensuite la réalisation des différentes opérations arithmétiques, le principe d'un comparateur et nous analyserons une unité arithmétique et logique

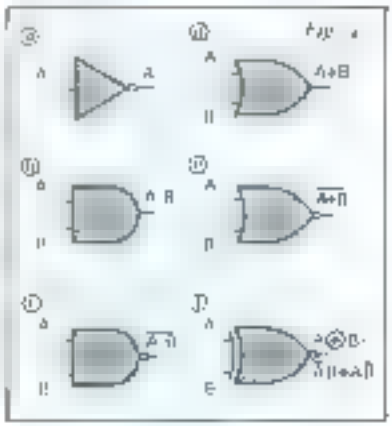
Les fonctions logiques

[illegible] opérations logiques [illegible] sont [illegible] fonctions [illegible] sont appelées [illegible] Fig. 1)

[illegible] fonction [illegible] sont [illegible] comportement [illegible]

- La fonction ET ou AND.
- La fonction NON-ET ou NAND
- La fonction OU ou OR
- La fonction NON-OU ou NOR
- La fonction OU-EXCLUSIF ou XOR

[illegible] fonctions [illegible] opérateurs logiques sont différentes suivant les [illegible] logiques [illegible] (fig. 1). Nous [illegible] opérations [illegible] logique



Un element capable de stocker une information binaire s appelle une memoire, une bascule ou un flip-flop

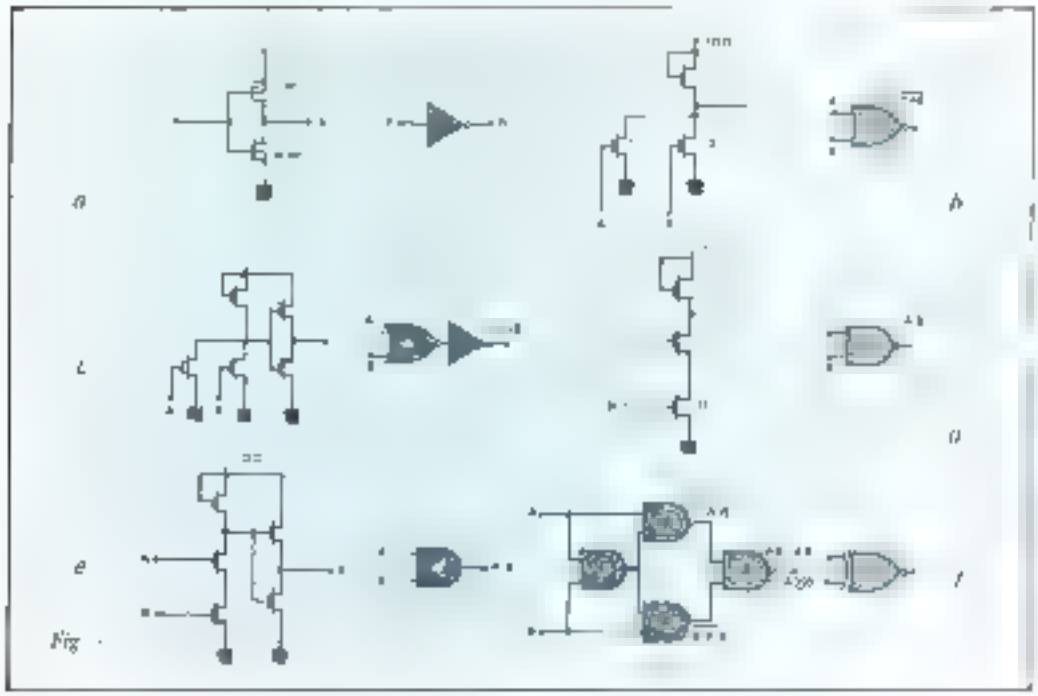


Fig. 2 – Structure des différents types logiques inverseur (a), NOR (b), OR (c), NAND (d), AND (e), XOR (f).

MOS, qui est à l'heure actuelle la plus employée dans les microprocesseurs.

a – Structure d un inverseur

Cette fonction est realisée à partir de deux transistors MOS complémentaires (MOS canal N et MOS canal P) suivant le schéma de la **figure 2 a.**

Si l'on applique une tension positive (correspondant à un « 1 » logique) à l'entrée E, le transistor MOS type P est bloqué, alors que le transistor type N est passant. Le potentiel de sortie est voisin de 0 volt (tension de saturation du transistor N MOS) ce qui correspond au « 0 » logique.

Quand un 0 logique est appliqué à l'entrée le transistor P-MOS est passant tandis que le transistor N-MOS est bloqué. Le potentiel de sortie est voisin de V_{DD} ce qui correspond au 1 logique.

b – Structure d'une porte NON-OU (NOR)

Comme il est possible de realiser ces circuits en utilisant des transistors types P-MOS, des transistors types N-MOS ou les deux types mélangés (MOS complementaires ou C-MOS), nous indiquerons sur les schémas de principe sans préciser le type de transistor utilisé.

La **figure 2 b** représente une porte NOR. Lorsque toutes les entrées sont au niveau 0, les transistors T et T' sont bloqués et la sortie est pratiquement au potentiel V_{DD}, c'est-à-dire au 1 logique. En effet dans ce type de circuit le transistor T ayant la grille directement reliée au drain se comporte comme une résistance.

Si l'une OU l'autre des entrées reçoit un niveau logique 1 le transistor T OU T' se sature et la sortie passe au niveau logique 0.

Pour réaliser la fonction OU il faut ajouter à la sortie de la porte NON-OU un étage inverseur. (fig. 2 c)

c – Structure d une porte NON-ET (NAND)

Le schéma de principe d une porte NAND est indiqué **figure 2 d.**

Pour avoir un 0 logique en sortie il faut que les transistors T et T' soient saturés, par conséquent il faut appliquer un 1 logique sur l'entrée A ET sur l'entrée B.

Si l'on applique un 1 logique que sur l'une des entrées (entrée B par exemple) le transistor T reste bloqué et la sortie est pratiquement au potentiel V_{DD}, soit au niveau 1 logique.

Il est possible d ajouter à la sortie de ce circuit un étage inverseur pour réaliser la fonction ET (fig. 2 e).

d – Structure de la fonction XOR OU exclusif

C'est une fonction souvent utilisée dans les systèmes logiques. Elle correspond à la table de vérité suivante :

A	B	S
0	0	0
0	1	1
1	0	1
1	1	0

Le signal de sortie S est donc équivalent à l'équation :

$S = A\bar{B} + \bar{A}B = A + B$

La fonction est réalisée en combinant les portes élémentaires étudiées ci-dessus. Un exemple de structure de fonction XOR est donné **figure 2 f.** Elle utilise une structure de portes NAND. Sur la sortie de la porte 3 nous avons :

$S = \overline{A \cdot A\bar{B} \cdot B\bar{A}}$

En utilisant le théorème de Morgan :

$S = \overline{A \cdot A\bar{B}} + \overline{B \cdot B\bar{A}}$

$S = A + A\bar{B} + B + B\bar{A}$

avec $A\bar{B} = A + \bar{B}$

$S = A + B \quad \bar{A} + \bar{B}$

$= A\bar{A} + AB = A + B$

Puisque $A\bar{A} = B\bar{B} = 0$

La fonction mémoire

Dans une machine digitale il est nécessaire de mémoriser à un instant donné les résultats issus des différents opérateurs logiques (portes ET, OU, OU EXCLUSIF) pour pouvoir les réutiliser à un autre instant « t » par exemple.

Un élément capable de stocker une information binaire s'appelle une mémoire ou une bascule ou un flip-flop.

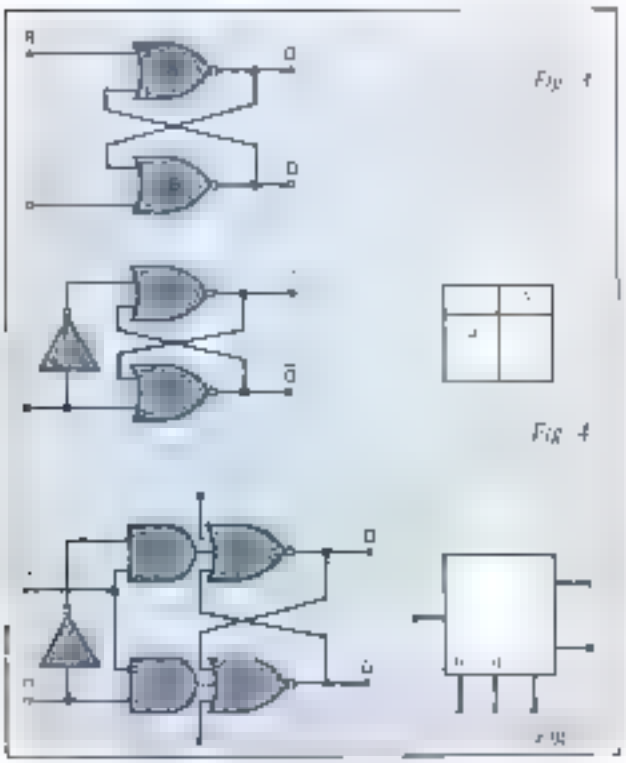


Fig. 4

Fig. 4

Fig. 5

La figure 3 représente une bascule réalisée avec deux portes NOR.

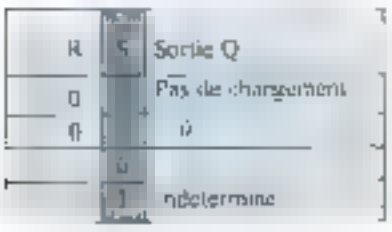
Si à un instant donné les entrées sont R = 1 et S = 0, la sortie de la porte B est $\overline{Q} = 0$ (voir principe de la porte NOR). Puisque $\overline{Q} = 0$ et R = 0, la sortie de la porte A est Q = 1.

Une inversion des états de R et de S provoque une inversion des états de sortie.

Si un des « 1 » applique à R ou à S disparaît pour céder la place à un « 0 » les sorties ne changent pas en raison du bouclage des circuits. **La bascule a donc mis une information en mémoire.**

Si par contre on applique un 1 sur les deux entrées à la fois, cela provoque une situation indéterminée à la sortie.

Nous pouvons écrire la table de vérité de cette bascule.



Pour éviter l'état indéterminé lorsque R et S sont à « 1 » on a imaginé plusieurs combinaisons possibles des entrées à l'aide des portes élémentaires (bascule JK, bascule D, bascule T, bascule RST).

Nous étudierons ici le cas de la **bascule type D** que l'on rencontre principalement dans les microprocesseurs (**Fig. 4**).

Cette bascule à entrée unique mémorise l'information présente sur la borne D.

Grâce à l'adjonction de bornes supplémentaires à la bascule D il est possible de synchroniser son fonctionnement sur des impulsions extérieures en ajoutant une entrée d'horloge. De même, on peut placer une entrée C.L.R (mise à zéro) et une entrée PRT (mise à 1) pour forcer à l'état 0 ou 1 le schéma de principe de la bascule est alors celui de la **figure 5**.

Les opérateurs arithmétiques

Nous pouvons distinguer deux types d'opérateurs arithmétiques : les opérateurs séries et les opérateurs parallèles. Les opérateurs séries travaillent bit après bit et ne sont pratiquement pas utilisés. L'étude portera donc uniquement sur les opérateurs parallèles.

On peut également classer les opérateurs en fonction de leur nature combinatoire ou séquentielle de leur conception. Dans les premiers, les différentes opérations sont exécutées en une seule phase et de ce fait sont commandées par des signaux à niveaux stables pendant toute l'opération.

Dans les seconds, les opérations sont exécutées en plusieurs phases commandées par des impulsions fournies par un dispositif de contrôle. Les opérateurs contiennent alors des dispositifs de mémorisation des résultats partiels.

Une solution intermédiaire consiste à disposer d'un opérateur combinatoire associé à un registre appelé **accumulateur** qui sert à la mémorisation du premier terme pendant l'opération et à la mémorisation du résultat par la suite.

Nous commencerons l'étude de ces opérateurs par les fonctions addition, soustraction, comparaison et décalage (registres).

Additionneur

Soit deux nombres binaires écrits sous la forme :

$A = A_n \ldots A_3\ A_2\ A_1\ A_0$

$B = B_n \ldots B_3\ B_2\ B_1\ B_0$

A_n et B_n sont des chiffres (0 ou 1) de poids n.

L'addition des digits A_n et B_n donne lieu au tableau d'addition suivant :

A_n	B_n	$A_n + B_n$	S_n	R_n
	0		0	0
	1			0
1	0			0
	1		0	

Nous voyons immédiatement sur ce tableau que :

$S_n = A_n + B_n$

$= A_n \overline{B_n} + \overline{A_n} B_n$

$R_n = A_n \cdot B_n$

Le schéma logique de ce circuit, appelé **demi-additionneur** est représenté **figure 6**.

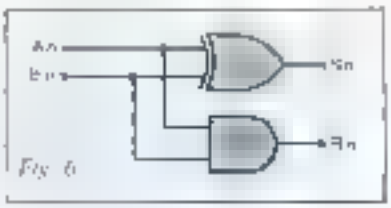
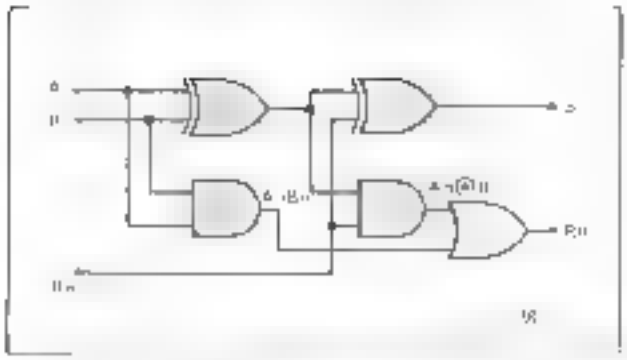


Fig. 6

Si maintenant on tient compte du résultat du bit de poids précédent (retenue R_{n-1}) nous pouvons établir le tableau suivant :

A_n	B_n	R_{n-1}	Somme S_n	Cary retenue
0	0	0		
0	1	0	1	0
	0	1	1	
	1	0	0	1
1	0			
1	1	0	0	1
	0	1	0	1
				1

Nous savons la différence de deux nombres A et B peut être réalisée en ajoutant à A le complément à 2 de B



La ligne datum donne les informations A_0, A_1, A_2, ... B_0, B_1, B_2, ... simultanément aux additionneurs. La ligne résultat permet d'enregistrer la somme dans une mémoire.

Il doit exister entre le top « départ » et le top « résultat » un décalage permettant aux additionneurs de générer les retenues.

Soustraction

Pour soustraire deux nombres binaire, on doit prendre le complément de chaque bit un à un et ajouter +

Par exemple

9 = 1001

Complément à 1 de

9 = 0110

Complément à 2 de

9 = 0110 + 1 = 0111

Vérifions que nous obtenons bien 0 en faisant l'opération + 9 - 9 il faut ajouter à 9 son complément à 2:

0011 + 0111 = 0000

Si nous ignorons la retenue, le résultat de + 9 - 9 est bien nul.

Ainsi A - B peut aussi s'écrire A + B +

Le schéma de la **figure 9** transforme un additionneur parallèle en additionneur ou soustracteur

On déduit de ce tableau les équations

$S_n = \overline{A_n}\ B_n\ \overline{R_{n-1}} + A_n\ \overline{B_n}\ \overline{R_{n-1}} + \overline{A_n}\ \overline{B_n}\ R_{n-1} + A_n\ B_n\ R_{n-1}$

$R_n = C_n = A_n\ B_n\ \overline{R_{n-1}} + \overline{A_n}\ B_n\ R_{n-1} + A_n\ \overline{B_n}\ R_{n-1} + A_n\ B_n\ R_{n-1}$

Reprenons l'équation de S_n. Nous pouvons écrire

$S_n = (\overline{A_n}\ B_n + A_n\ \overline{B_n})\ \overline{R_{n-1}} + (\overline{A_n}\ \overline{B_n} + A_n\ B_n)\ R_{n-1}$

Si nous appliquons le théorème de Morgan

$S_n = (\overline{A_n}\ B_n + A_n\ \overline{B_n})\ \overline{R_{n-1}} + \overline{(\overline{A_n}\ B_n + A_n\ \overline{B_n})}\ R_{n-1}$

Nous retrouvons dans cette expression la structure du demi-additionneur précédent. Quant à l'expression de R_n, nous pouvons écrire

$R_n = A_n\ B_n\ (R_{n-1} + \overline{R_{n-1}}) + R_{n-1}\ (\overline{A_n}\ B_n + A_n\ \overline{B_n})$

$R_n = A_n\ B_n + R_{n-1}\ (\overline{A_n}\ B_n + A_n\ \overline{B_n})$

Le schéma de principe de cet additionneur est donné **figure 7**.

De manière façon, un additionneur binaire parallèle est formé par [illegible] **fig. 8**.

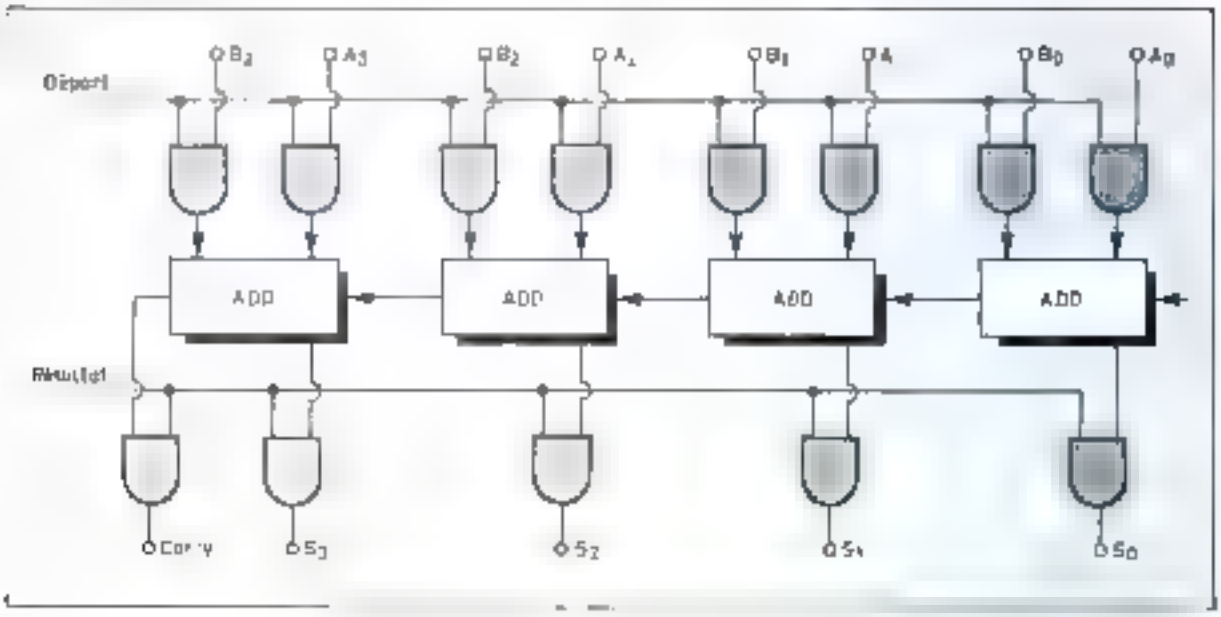
A - B, il est possible d'additionner le complément à deux de B, ce qui permet de conserver l'additionneur parallèle vu précédemment.

Rappelons que pour obtenir le complément à 2 d'un nombre

Comparaison

La réalisation d'un comparateur à l'aide de circuits logiques peut s'établir d'après la table de vérité ci-dessous où nous comparons deux nombres binaires A et B

A	B	A = B	A > B	A < B
0	0	1	0	0
0	1	0	0	
	0	0		0
	1	1	0	0



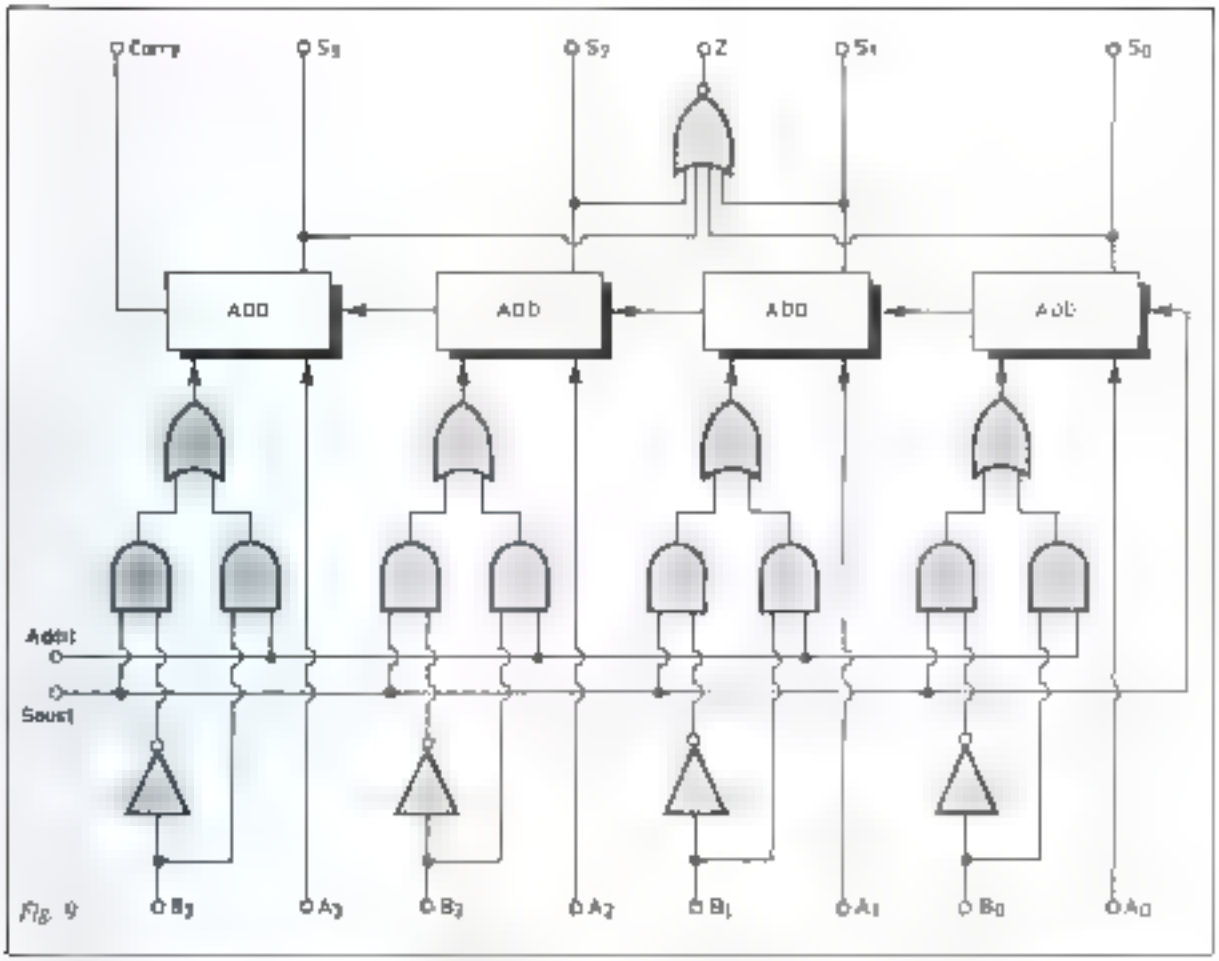


Fig. 9

La fonction logique S s'écrit :
$S = \bar{A}\,\bar{B} + A\,B = \overline{A + B}$

La fonction $A > B$ est définie par $A\,\bar{B}$.

La fonction $A < B$ est définie par $\bar{A}\,B$.

Il est donc possible de réaliser un comparateur à l'aide des circuits logiques de la **figure 10**.

Néanmoins, une autre méthode dite de soustraction et d'analyse du résultat peut être utilisée.

Soit deux nombres binaires A et B, faisons la soustraction A − B.

Si A = B le résultat est nul et nous introduirons une information supplémentaire appelée Z qui aura pour valeur logique 1 lorsque le résultat d'une opération arithmétique sera nul.

Ceci peut être facilement obtenu en plaçant une porte NON-OU à la sortie du circuit additionneur soustracteur de la **figure 9**.

La fonction Z sera alors du type :
$Z = \bar{S}_0 + \overline{S_1 + S_2 + S_3}$

Il est possible de réaliser la fonction de comparaison en étudiant uniquement la valeur du bit de signe et du bit de retenue du circuit additionneur.

C'est cette méthode qui est utilisée dans le circuit précédent.

Fig. 9 bis — Schéma d'un additionneur-soustracteur

Fig. 10 — Comparateur
La fonction A = B est définie par $\overline{A + B}$.
La fonction A > B est définie par $A\,\bar{B}$.

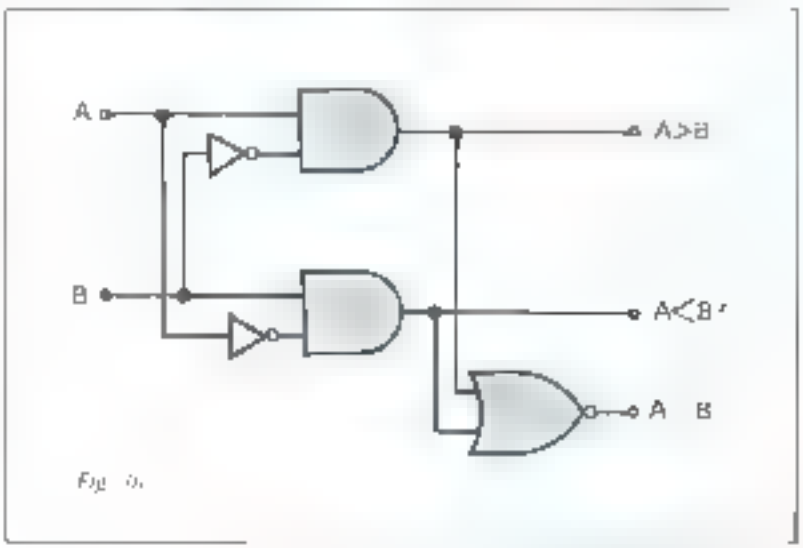


Fig. 10

Un registre à décalage en technologie MOS utilise les capacités internes à chaque étage pour conserver l'information

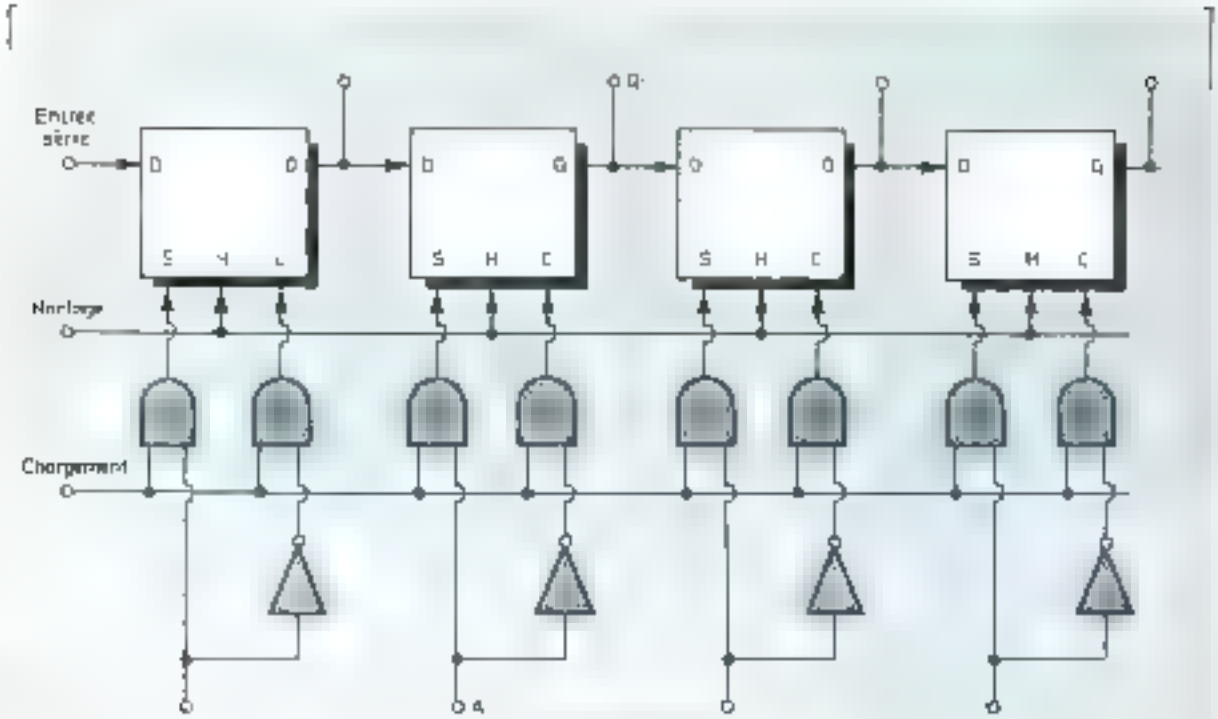
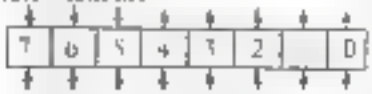


Fig. 1c

Schéma de principe d'un registre de basculles type D.

Les registres

On appelle registre une petite mémoire linéaire à accès parallèle. Chaque case du registre est composée d'une bascule ou d'une cellule mémoire.



Les sorties sont accessibles simultanément et l'ensemble du registre fonctionne à entrées et sorties parallèles.

Ce type de registre est très utilisé pour le stockage temporaire [illegible] appelé « **registre-tampon** ».

Il est possible de déplacer pas à pas l'information dans un registre. Dans ce cas celui-ci est appelé un registre à décalage. Dans le paragraphe suivant nous allons étudier en détail le fonctionnement de ces registres. Mais il est évident que les principes des circuits examinés s'appliquent également aux registres-tampons.

Il existe deux grandes familles de registres à décalage :

— les registres à décalages statiques qui peuvent conserver [illegible] aucune impulsion de décalage n'est appliquée ;

— les registres à décalages dynamiques qui ne peuvent conserver [illegible] fonctionnement. Il en résulte que la vitesse de décalage imposée par l'horloge ne peut pas descendre en dessous d'une valeur minimale.

a) - Registre à décalage statique

Ce type de registre est composé de n bascules. Il peut donc emmagasiner une information de n bits. Ces bascules sont interconnectées de façon à ce que l'état logique du flip-flop de rang « i » soit transmis au flip-flop de rang « i + 1 » quand un signal d'horloge est appliqué à l'ensemble des bascules.

Le schéma de principe d'un registre à décalage statique utilisant des bascules D par exemple est donné **figure 1**.

La bascule D après chaque impulsion d'horloge « recopie » l'état de la bascule précédente. Il y a bien décalage de l'information au rythme de la fréquence d'horloge.

Le chargement ou l'inscription au registre s'effectue de la façon suivante :

Si par exemple l'entrée A_1 est à 0, au moment où apparaît l'impulsion de chargement nous appliquons 1 sur l'entrée CLEAR et 0 sur l'entrée SET. La bascule passe à zéro (donc $Q_1 = 0$). Inversement si l'entrée A_1 est à 1. Lorsque Q_1 passera à 1.

Dans ce type de bascules lorsque C et S sont à 0, ils sont sans effet sur le fonctionnement de la bascule. L'entrée « » force la bascule dans un état donné. Il est possible de trouver des flip-flop ayant des entrées C, S répondant au niveau « 0 ».

b) - Registre à décalage dynamique

Ce type de registre en technologie MOS utilise les capacités internes à chaque étage pour conserver l'information. Le temps maximal de stockage par étage est limité à la constante de temps de décharge de ces capacités internes. La technologie MOS permet d'avoir des constantes de temps relativement élevées grâce à la très grande impédance d'entrée des transistors.

La figure 12 indique le principe d'une cellule élémentaire.

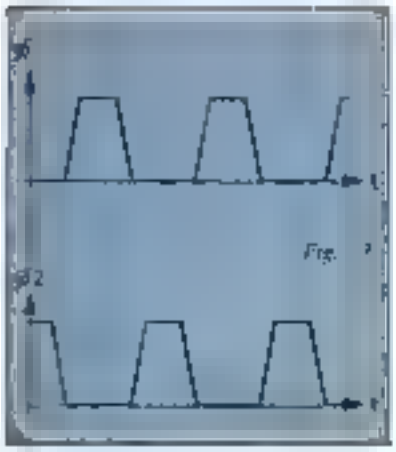
C_1, C_2, C sont les capacités d'entrée des transistors MOS. Pour comprendre le fonctionnement, nous supposerons qu'un 1 a été stocké dans la cellule précédente, que nous étudions est à 0.

Quand impulsion ϕ_2 apparaît, la sortie du 1er étage est mise en liaison avec l'entrée de la cellule, le condensateur C se charge : la sortie de cette cellule est connectée à l'entrée de la cellule + 1, car le transistor T est passant. Si T était bloqué, le condensateur C aurait gardé la valeur précédemment stockée.

Fig. 12 : Cellule élémentaire à transistors MOS.

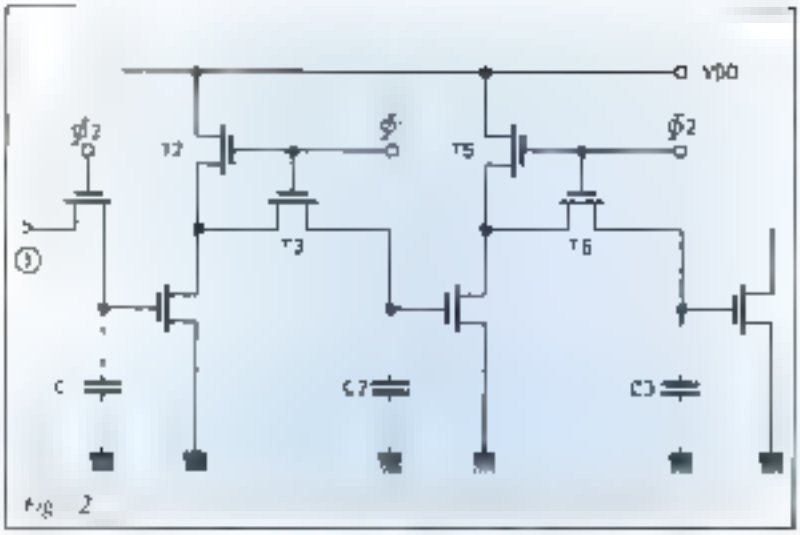
Lorsque l'impulsion ϕ_2 apparaît, le transistor T est à nouveau conducteur et décharge la capacité C. A la fin de cette impulsion, le condensateur C de la cellule est vide, sans la cellule + 1 en effet la capacité C d'un étage déchargé, le transistor est bloqué, l'application de V volts sur son drain donne un niveau logique 1.

De même, un 0 dans la cellule + 1 est transféré dans la cellule + 2 en chargeant la capacité C.



Ainsi, il est indispensable de générer deux impulsions d'horloge différentes pour un seul décalage. Le fonctionnement est à deux phases. Les phases relatives de ces signaux d'horloge sont présentées figure 13.

Ces registres peuvent décaler les informations vers la gauche ou vers la droite, fonction nécessaire pour les opérations arithmétiques (multiplication et division).



Notons leur accès est souvent bidirectionnel, c'est-à-dire que les bornes d'entrées-sorties E/S ou D sont communes. L'ensemble de ces bornes est par ailleurs appelées « lignes omnibus ».

c) Registre à trois états

Pour réaliser un registre à trois états, il suffit de remplacer les portes de sorties par des portes trois-états.

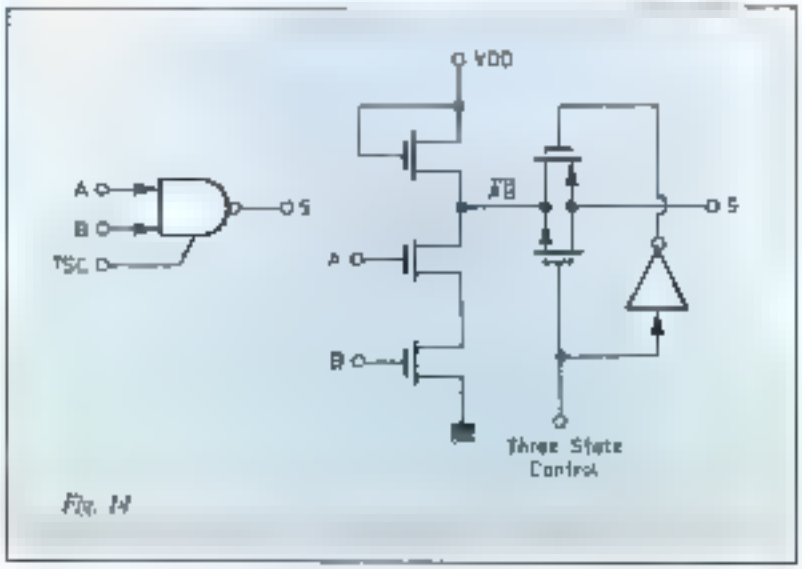
Dans une logique positive, cette porte consiste à ne correspondre à une porte à haute impédance. L'information est alors déconnectée.

Cette fonction est très intéressante, lorsque l'on branche plusieurs registres en parallèles, il suffit de mettre en service celui dans les registres non utilisés.

Nous indiquons ici un exemple, le schéma de principe d'une cellule pour circuits MOS à trois états (fig. 14).

On associe à une porte NAND classique une porte de transfert branchée en série avec la sortie. Cette porte de transfert trois-états est constituée de deux transistors MOS montés complémentaires, suivant la valeur du signal appliquée sur la borne TSC les deux transistors sont conducteurs ou bloqués, le schéma représente une porte NAND, où les deux transistors sont bloqués, la sortie est alors en troisième état.

On utilise ce type de porte pour avoir une faible impédance de sortie que S soit à 1 ou à 0.



Réalisation d'une unité arithmétique et logique (A.L.U.)

Nous avons vu dans les précédents chapitres que pour réaliser des opérations logiques et arithmétiques, nous avons besoin des opérateurs suivants :

[illegible] fonctionnement. ET OU [illegible] NON-OU EXCLUSIF.

Opérations arithmétiques addition, soustraction, décalage à droite, décalage à gauche, comparaison.

Indépendamment de la nature [illegible] signes, chaque élément demande [illegible] une unité arithmétique et logique est un circuit qui regroupe ces [illegible] opérations.

Avant l'avènement des microprocesseurs [illegible] avaient déjà regroupés ensemble [illegible] dans un circuit intégré unique appelé **unité arithmétique et logique**. A titre d'exemple, nous pouvons citer le SN74 181 de Texas [illegible]

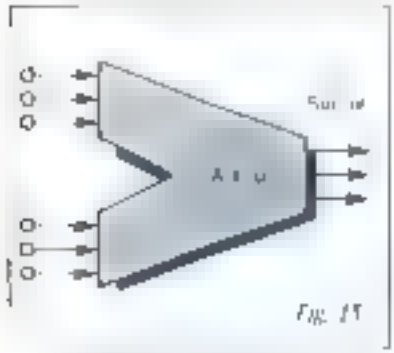


Fig. 15

Le symbole de l'unité arithmétique [illegible] opérations [illegible] figure 15.

La réalisation d'une A.L.U. peut être envisagée sous trois modes de [illegible] opérations [illegible] un [illegible] calculer [illegible]

l'autre [illegible] fonctionnement séquentiel [illegible] plusieurs [illegible] l'autre [illegible]

1. Fonctionnement combinatoire

Pour effectuer les différentes opérations sur l'unité arithmétique et logique, nous pouvons imaginer

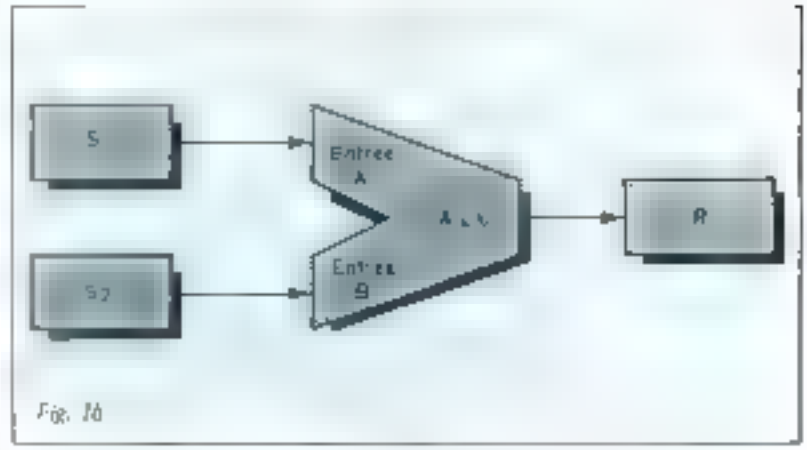


Fig. 16

que l'information A est mise en mémoire dans un registre source S_1, que l'information B est mise en mémoire dans un registre source S_2 et que le résultat sera obtenu dans un troisième registre R (fig. 16).

Les informations étant présentes à l'entrée et à la sortie, nous avons dans ce cas un fonctionnement combinatoire.

2. Fonctionnement séquentiel

Afin de réduire le nombre de registres mémoire et surtout le nombre de liaisons entre les registres et l'unité arithmétique et logique, nous pouvons imaginer le cycle machine séquentiel suivant (fig. 17) :

les informations A et B sont présentes dans une opération.

1er étape

L'information A est envoyée dans un registre placé à côté de l'A.L.U. [illegible]

L'information A stockée dans [illegible] est appliquée à l'entrée A de l'unité arithmétique [illegible]

2e étape

L'information B est envoyée à l'entrée B de l'unité arithmétique et logique.

3e étape

Le résultat de l'opération est renvoyé dans l'accumulateur qui perd alors l'information A pour stocker la valeur de sortie de l'unité arithmétique et logique.

4e étape

L'information contenue dans l'accumulateur est envoyée dans la mémoire.

3. Fonctionnement combinatoire avec accumulateur

Le principe indiqué ci-dessus ne peut malheureusement pas fonctionner de façon aussi simple, car on s'aperçoit que lors de la troisième étape, il se passe un problème dit de **course critique**. En effet au moment où l'on envoie à la mémoire le signal de sortie de l'unité arithmétique et logique dans l'accumulateur, il n'y a plus d'informations [illegible] la [illegible] combinatoire des circuits logiques n'est plus respecté. Les temps de propagation des signaux deviennent alors critiques et dans ce cas, il [illegible] aléatoire.

Pour éviter cet inconvénient, il est nécessaire d'ajouter des registres « tampons » (ou buffer) pour stocker les valeurs pendant les transitions des informations.

Plusieurs solutions sont possibles.

Dans la **solution A** le fonctionnement est le suivant (**fig. 18**) :

1° Chargement de l'information A dans l'accumulateur et à l'entrée de l'unité arithmétique et logique.

2° Transmission de l'information B [illegible]

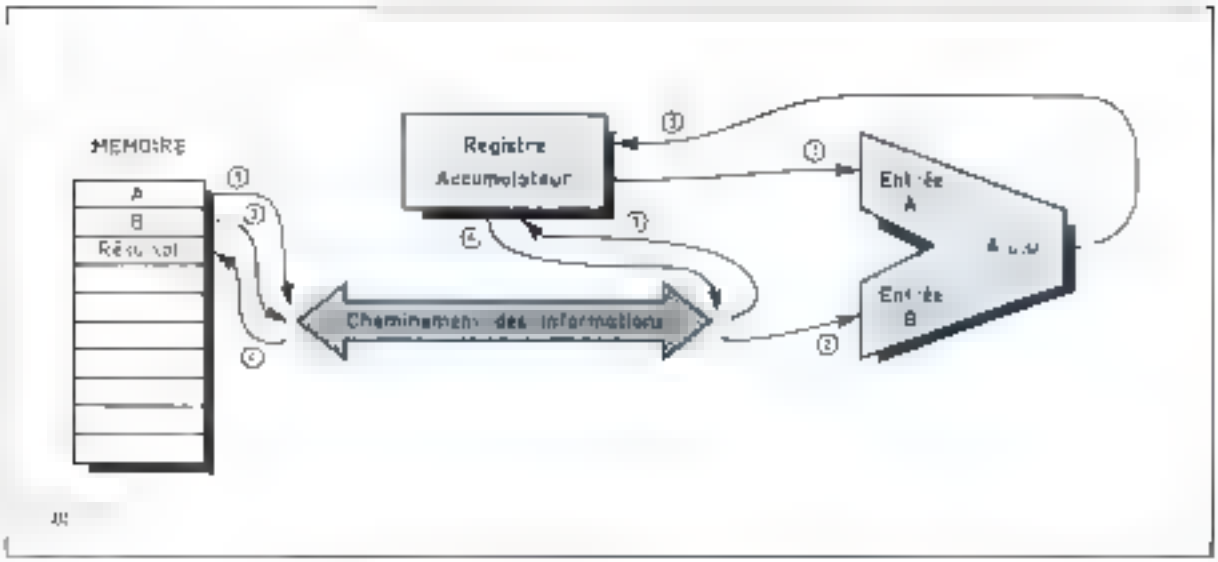
3° Transfert du résultat dans un registre tampon.

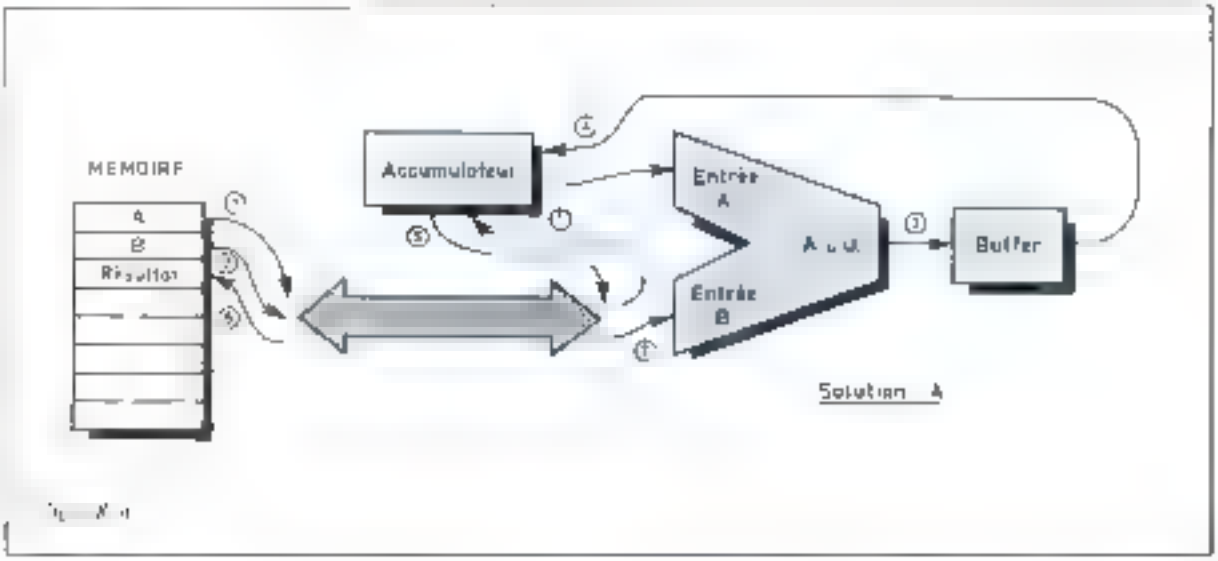
4° Envoi du résultat contenu dans le « buffer » vers l'accumulateur.

5° L'information continue dans l'accumulateur [illegible]

Dans la **solution B** le fonctionnement est le suivant :

1° L'information A est envoyée dans l'accumulateur.


MEMOIRE
A
B
Résultat
Registre
Accumulateur
Entrée
A
Entrée
B
Cheminement des informations


MEMOIRE
A
B
Résultat
Accumulateur
Entrée
A
Entrée
B
Buffer
Solution A

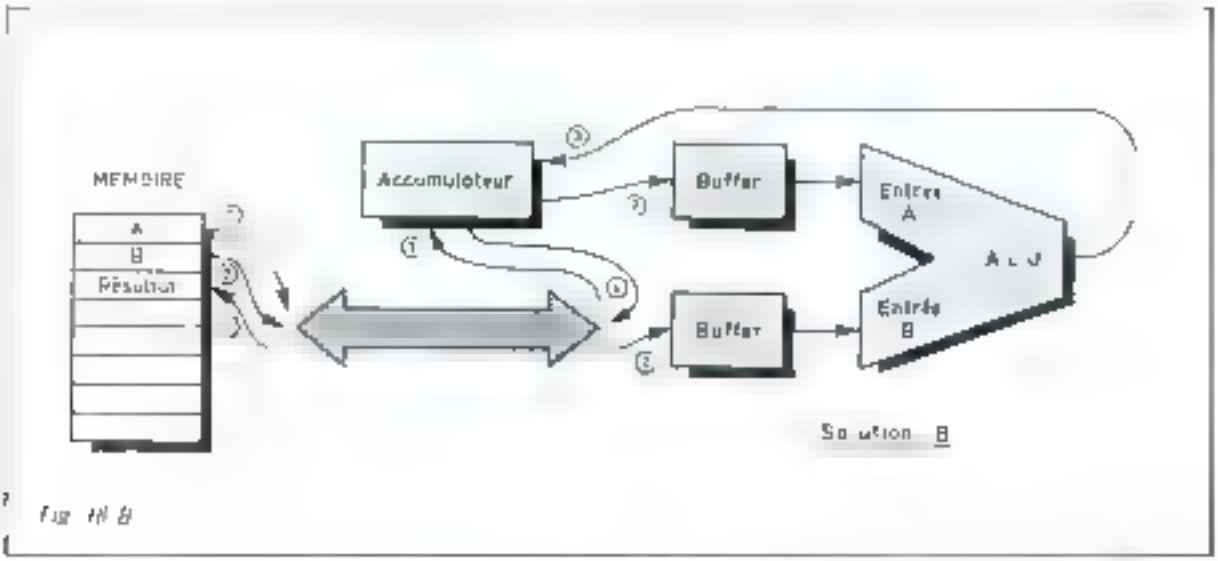

MEMOIRE
A
B
Résultat
Accumulateur
Buffer
Buffer
Entrée
A
Entrée
B
Solution B

Fig. IV-8

Si l'acheminement des informations est réalisé sous forme séquentielle, le fonctionnement de l'A L U est toujours du type combinatoire

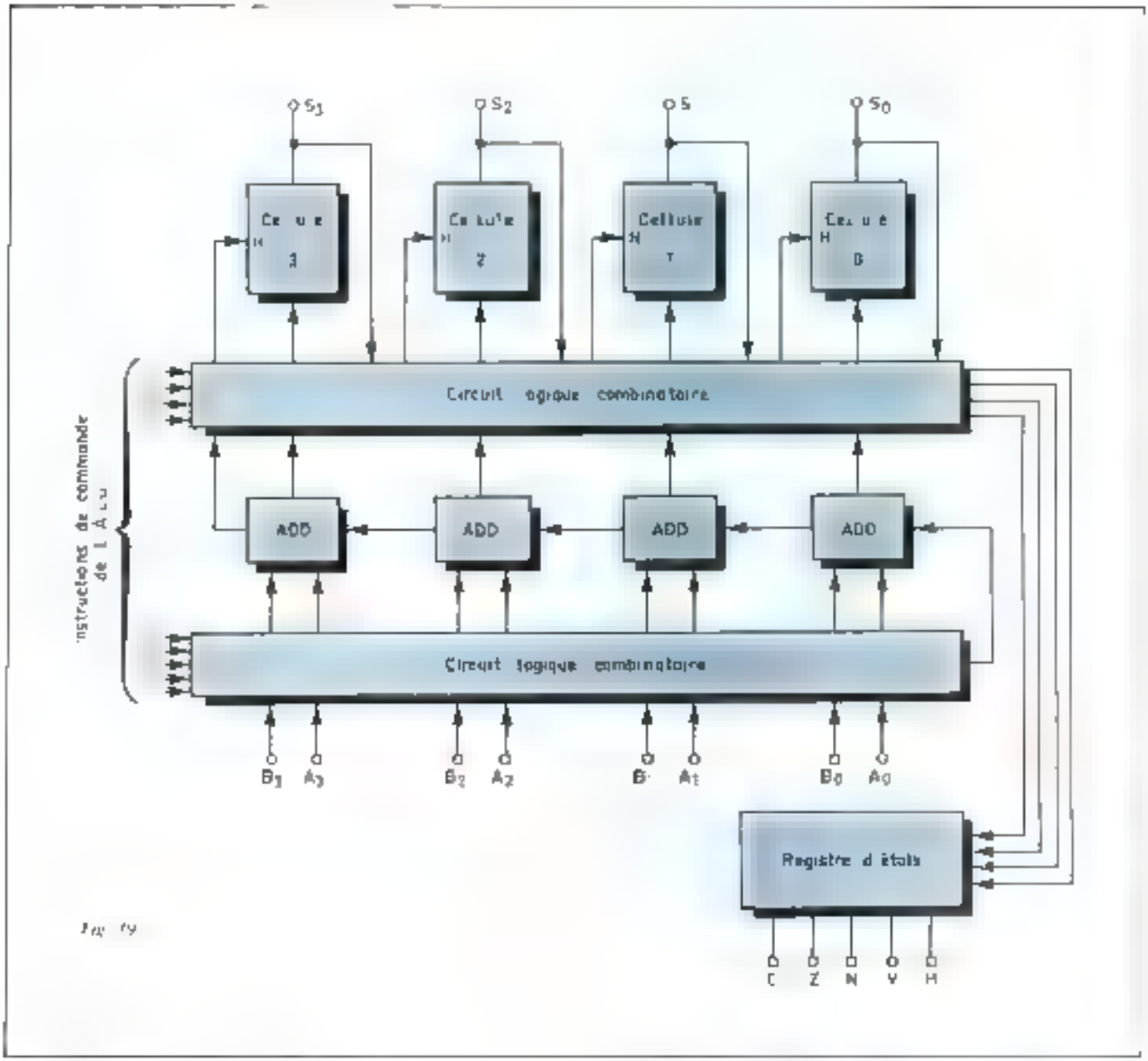


Fig. 19

Fig. 19 Schéma synoptique de l'unité d'un microprocesseur

2° L'information **B** est envoyée dans un registre puis à l'entrée de l'**A L U**. **En même temps** l'information contenue dans l'accumulateur est expédiée dans un registre puis vers l'entrée de l'A L U.

3° Le résultat à la sortie de l'A L U est expédié vers l'accumulateur.

4° Le résultat de l'accumulateur est retourné vers la mémoire.

Dans cette solution si l'on ajoute un registre, on économise une étape nous avons donc un temps de fonctionnement plus rapide.

Nous constatons que si le **cheminement des informations** est réalisé **sous forme séquentielle**, le **fonctionnement de l'unité arithmétique et logique est toujours du type combinatoire**.

En général, dans les microprocesseurs, une unité arithmétique et logique est accompagnée d'un registre de sortie qui sert :

- soit d'étage tampon pour [illegible]
- soit [illegible] ché au droite pour les opérations multiplications ou de division.

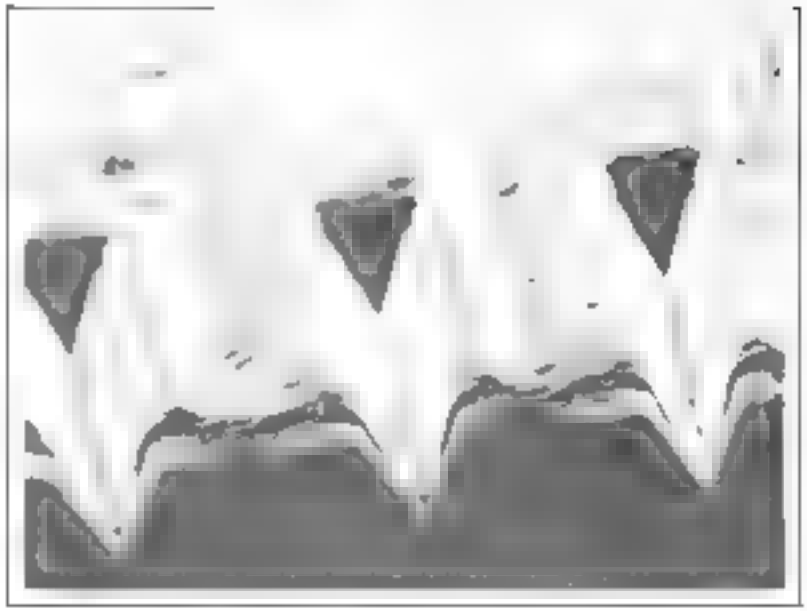
Le schéma synoptique d'une A L U d'un microprocesseur est représenté **figure 19** ■

Jean FREMFAL

Les transistors VMOS

Une technologie récemment développée par Siliconix dans le domaine des transistors MOS (Metal Oxide Semiconductor) a permis d'augmenter la densité de courant admissible par ces transistors et de produire des composants capables de commuter des intensités de plusieurs mA à quelques A tout en conservant les avantages des MOS conventionnels.

Appelés VMOS pour Vertical MOS car le courant qui les traverse est un courant vertical, ces dispositifs ont de nombreuses applications dans le domaine de la puissance, des techniques HF et surtout en commutation où ils s'interfacent avec tous systèmes de commande susceptibles de fournir un échelon de tension de 5 à 30 V.



Une couche épitaxiée N augmente la tension de claquage et réduit la réaction capacitive puisque la grille recouvre le matériau N plutôt que la couche N+.

Constitution :

Les figures 1, 2, 3 et 4 représentent respectivement, à titre de comparaison, les sections verticales des différentes technologies mises en œuvre pour élaborer des transistors VMOS, soient les MOSFET et DMOS.

La principale limitation des transistors MOSFET et DMOS (MOS à double diffusion) est due au fait que ces transistors sont des dispositifs majoritaires dont la densité de courant est moins importante que celle des transistors bipolaires qui utilisent un courant vertical. Dès lors partant de cette constatation, les ingénieurs d'étude réalisèrent un composant ayant les avantages des MOS et des transistors bipolaires sans en avoir les inconvénients : limitation en courant pour les MOS, élimination des problèmes d'emballement thermique, de second claquage et de stockage des porteurs minoritaires. Ainsi le VMOS a sa source opposée au drain tout comme le collecteur est opposé à l'émetteur dans un transistor bipolaire.

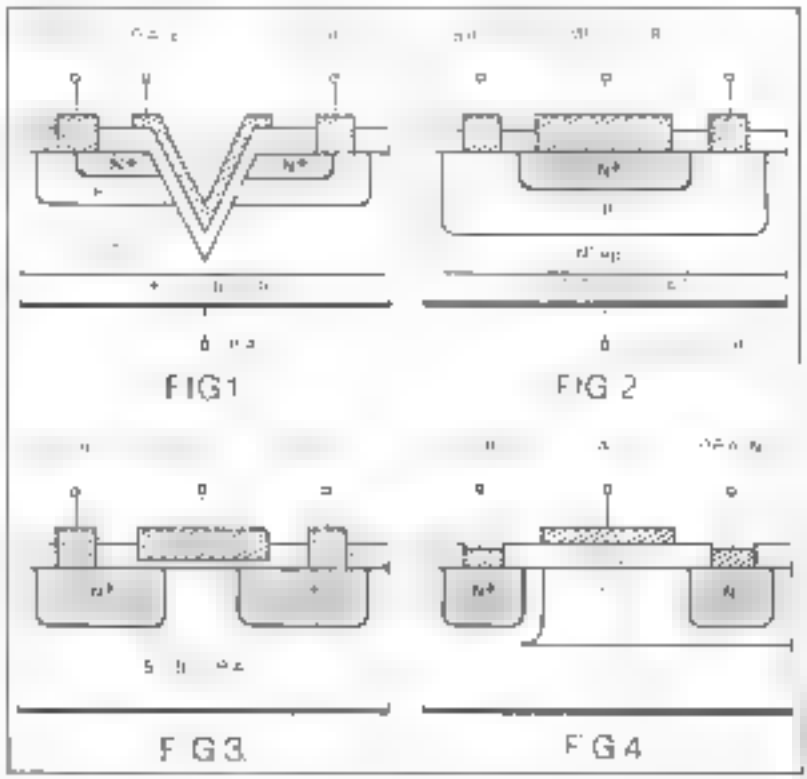


Fig. 1. Coupe [illegible] VMOS.

Fig. 2. Coupe verticale d'un transistor planar epitaxial double diffusé.

Fig. 3. Coupe verticale d'un MOSFET [illegible].

Fig. 4. Coupe verticale d'un D-MOS.

Un transistor VMOS est constitué de la façon suivante :

— Un substrat en matériau N+ constitue le drain et offre une faible résistance de conduction.

— Le corps P et une couche N+ diffusées dans la couche épitaxiée.

Une entaille en forme de V réalisée par attaque chimique à travers le corps et la zone épitaxiée.

— Une couche de dioxyde de silicium (SiO_2) et une métallisation à un micron pour former les contacts source et gate.

— Le chip est ensuite passivé pour empêcher la contamination de la couche d'oxyde de gate.

Il est à noter que ce processus jusqu'au moment où l'on pratique l'entaille en V est similaire à celui d'un transistor planar épitaxial double diffusé. Dans un transistor VMOS conventionnel le courant circule horizontalement de la source au drain à travers le canal qui est induit au niveau de la face supérieure du substrat.

Fonctionnement :

En fonctionnement la gate et le drain sont polarisés positivement par rapport [illegible] induit un champ électrique qui induit un canal de type N au niveau des surfaces du corps en regard de la gate et permet aux électrons (porteurs majoritaires de circuler de la source au drain à travers le canal N de la couche épitaxiée.

Une plus grande tension gate enrichit un canal plus profond créant un passage de courant drain-source plus large et accroît l'intensité traversant le semi-conducteur. Par exemple le VMOS référence VN 66 AF a un courant drain de 650 mA avec une tension gate-source de 5 V et 2 A pour 10 V.

Caractéristiques :

La caractéristique de sortie d'un transistor VMOS type VN 66 AF est représentée figure 5. Contrairement aux transistors MOS, l'axe vertical des intensités est gradué en A et non en mA.

La conductance de sortie est [illegible] les courbes sont horizontales et non inclinées. La caractéristique de transconductance g_m (fig. 6) en fonction du courant drain est linéaire au-dessus de 400 mA et quadratique en dessous. La [illegible] ance sont données en annexe.

En commutation les VMOS peuvent conduire 10 W de façon inverse. Leur impédance d'entrée est très élevée (le courant d'entrée est inférieur à 100 nA) et ils commutent en passage de l'état ON à l'état OFF ou OFF-ON par application d'une simple tension sur la gate.

La figure 7 montre la courbe de transfert d'un VMOS : la résistance drain-source (R_{DS}) passe d'une valeur infinie quand la tension

Conductance et transconductance

A – La conductance

On appelle [illegible] l'inverse de la résistance

$$G = \frac{1}{R} =$$

L'unité de conductance est le mho (Ω) ou l'ampère par volt (A/V).

Ainsi la conductance d'un ensemble de résistances en parallèles est égale à la somme des conductances de chacune des résistances :

$$= \frac{1}{R} + \frac{1}{R} + \frac{1}{R}$$

$$= \quad + \quad +$$

B – La transconductance

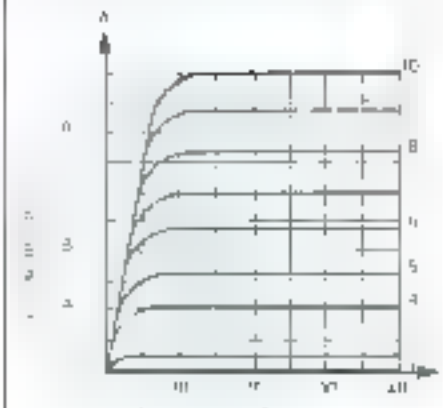
La transconductance (g_m) ou conductance de trans-fert d'un transistor MOS représente la pente. Elle est donnée, pour une [illegible] constante, par la relation :

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}}$$

g_m exprime la variation du courant drain I_{DS} par unité de tension gate-source (V_{GS}) [illegible]

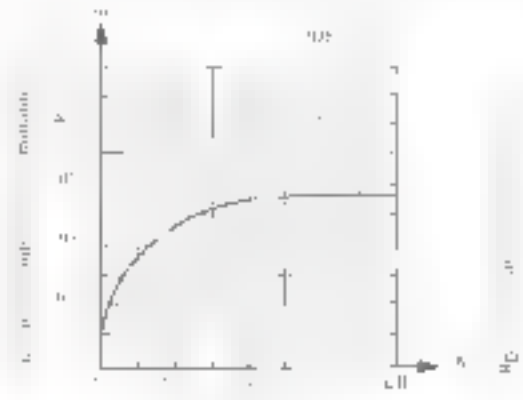
Fig. 5 – [illegible] du VMOS.

Fig. 6 – [illegible] de la source en fonction du courant drain.



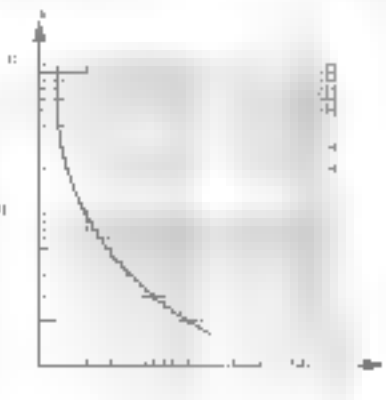
V_{DS} : tension drain-source

FIG.5



I_D : courant drain

FIG.6.



V_{GS} : tension gate-source

FIG.7

PRINCIPAUX AVANTAGES DES VMOS

1) La structure verticale d'un VMOS lui confère les avantages suivants par rapport aux transistors MOS conventionnels

— La longueur du canal d'un V MOS est déterminée par les profondeurs de diffusion lesquelles sont mieux contrôlées que les dimensions d'un masque qui définissent la longueur du canal d'un MOS

Chaque cellule en V créant 2 canaux, la densité de courant est [illegible]

Le substrat forme le drain il n'y a donc pas de métallisation sur cette face ce qui réduit la surface du chip.

2) Avantages par rapport aux transistors bipolaires

— Haute impédance d'entrée donc faible courant de commande (0,10 nA typique). Le gain en courant d'un V MOS (β) est donc supérieur à 10⁸

Pas de stockage de porteurs minoritaires (le VMOS est un dispositif à porteurs majoritaires), le temps de retard de commutation est donc faible (quelques nanosecondes)

— Absence de second claquage. Le coefficient de température de R_{DS} à l'état ON étant positif (inégal pour le bipolaire), le courant débité par un VMOS diminue quand la température augmente

3) Principaux avantages des VMOS en commutation analogique :

Une résistance R_{ON} faible donc faibles pertes d'insertion

— Un courant continu débité élevé 2 A. Trois VMOS montés en parallèles peuvent commuter 6 A sans résistance d'équilibrage

Une isolation de 60 dB à 10 MHz et 500 nA de courant de fuite à l'état OFF

— Résistance R_{ON} linéaire qui entraîne une faible distorsion harmonique et peu d'intermodulation

gate-source (V_{GS}) est proche de zéro c'est l'état OFF à une valeur de quelques ohms lorsque la tension gate est de 10 V c'est l'état ON. Le canal drain-source étant purement résistif à l'état ON, la dissipation en commutation analogique est faible

A l'état OFF le V MOS est équivalent à deux diodes D_1 et D_2 (fig. 8). La diode équivalente D_1 est shuntée par une résistance de 2 Ω environ quand le transistor est à l'état ON (fig. 9).

Enfin, en fonction de la température la résistance drain-source d'un V MOS augmente en typique de 0,5 à 0,8 %/°C cela est dû à la diminution de la mobilité des électrons dans le silicium lorsque la température augmente et entraîne une dépendance proportionnelle de tension source. Ainsi, il n'y a pas de composants pour la stabilisation thermique car le coefficient de température est positif. Néanmoins, il est souhaitable de limiter l'augmentation de R_{ON} et de la température pour ne pas compromettre la fiabilité à long terme (Température maximum de jonction 150°C). Certains transistors V MOS ont une diode Zener incorporée afin de protéger leur jonction [illegible]

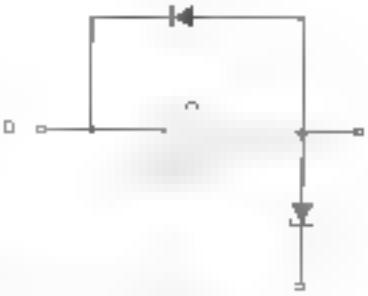


Fig. 8. – Circuit équivalent à l'état OFF.

Fig. 9. – Circuit équivalent à l'état ON

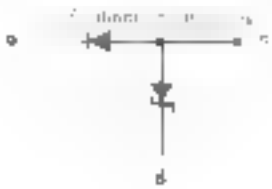


Fig. 8. – Circuit équivalent à l'état OFF ($V_{GS} = 0$ V)

Le VMOS est capable de fournir plusieurs ampères lorsqu'on lui applique une simple tension de 5 à 30 V

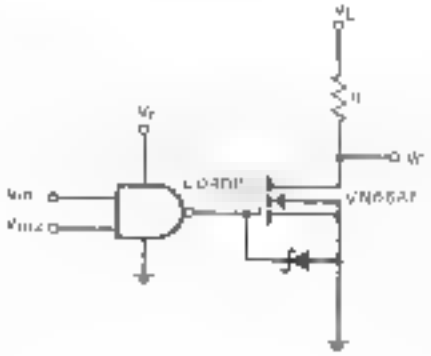


Fig. 10. – Commande d'un VN 66 AF par une porte CMOS.

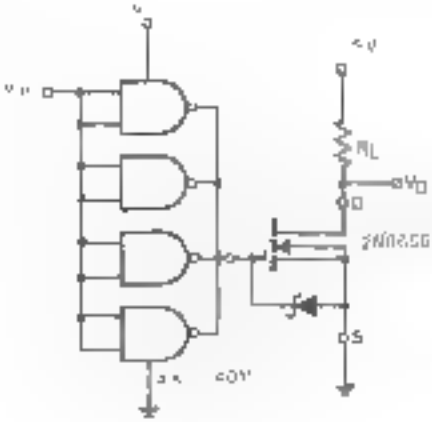


Fig. 11. – Commutateur rapide multiplieur MOS.

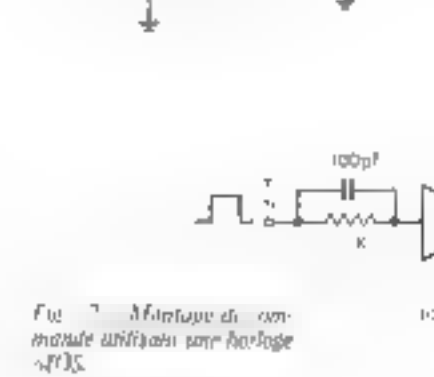


Fig. 12. – Montage de commande utilisant une horloge MOS.

Applications.

Le VMOS est un dispositif idéal en commutation. Il est capable de fournir plusieurs ampères à une charge lorsqu'on lui applique une simple tension de 5 à 30 V. Avant de décrire quelques applications de ces dispositifs, examinons rapidement les composants nécessaires à la réalisation d'interfaces issues des technologies couramment utilisées : CMOS, MOS, TTL et TTL à collecteur ouvert.

Si on désire commuter une charge de plusieurs A, à partir d'une porte CMOS (fig. 10), un VMOS suffit. Un niveau bas à l'entrée du CD 4011 fait conduire le transistor alors qu'un niveau haut le bloque. La vitesse de commutation est augmentée si on met en parallèle plusieurs portes CMOS ce qui accroît le courant de commande (fig. 11). La figure 12 représente un exemple d'interface dans le cas d'une commande utilisant une horloge MOS. Lorsque la tension est générée par une porte TTL, il faut introduire une résistance pour assurer un signal de commande de gate suffisant (fig. 13). Si on désire obtenir un courant plus important (ou un R_{on} plus faible) la tension gate doit être augmentée et on utilisera une porte TTL à collecteur ouvert avec +10 à 15 V d'alimentation (fig. 14).

Les figures 5 à 20 représentent des applications simples des VMOS telles que circuits d'éclairage, abaisseur basse fréquence, commande de relais ou de diodes électroluminescentes (LED).

Fig. 13. – Commande d'un VN 66 AF par une porte TTL.

Fig. 14. – Commutateur VN 66 AF par une porte TTL à collecteur ouvert.

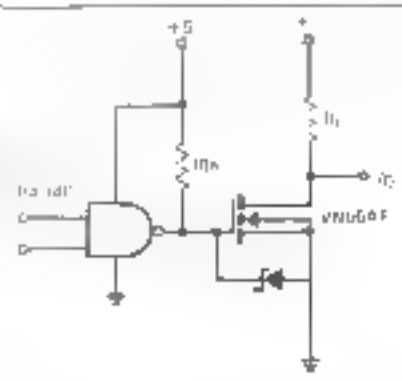


FIG 13

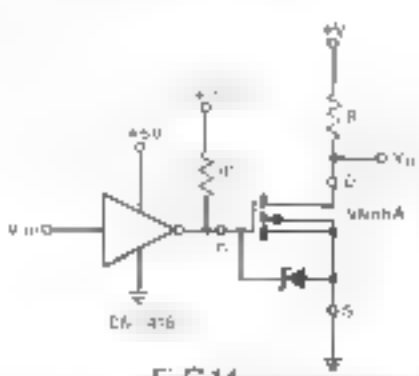
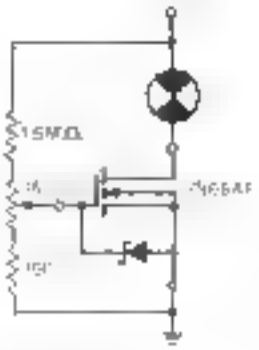


FIG 14



F G 15

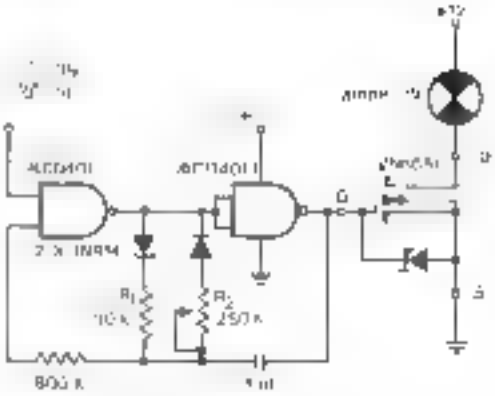
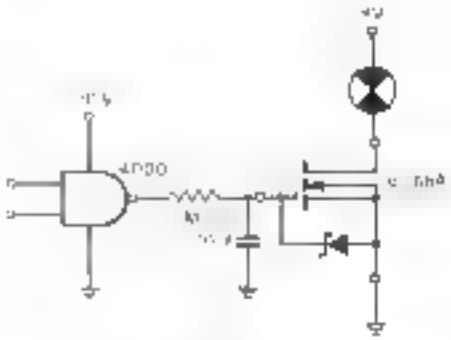


FIG.16

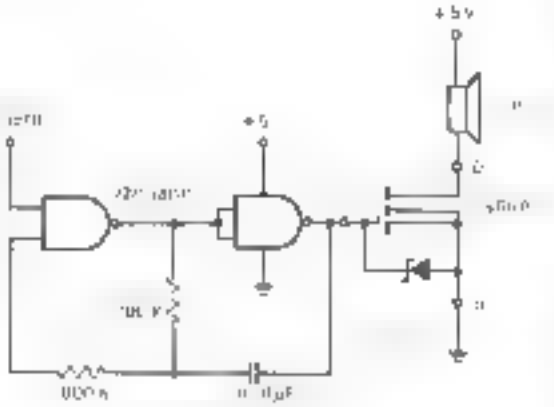
Fig. 5 - Un circuit typique utilisant l'inverseur

Fig. 16 - Un circuit analogique [illegible]

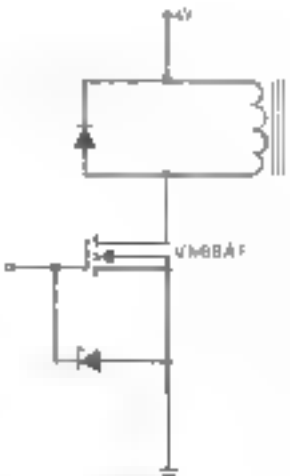


F G17

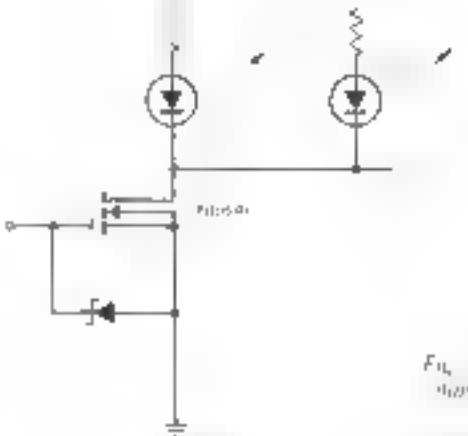
Fig. 17 - Circuit d'utilisation [illegible] un amplificateur opérationnel



F G18



F G 19



F G 20

Fig. 19 - [illegible]

Fig. 20 - [illegible]

Remarquer figure 2, un exemple très intéressant d'interface pour microprocesseurs CMOS CDP 1802 de RCA. Le dispositif d'entrée-sortie I/O CDP 852 fournit directement la tension nécessaire à la commande des circuits de sortie équipés de transistors VMOS. Ceux-ci peuvent délivrer jusqu'à 2 A aux systèmes périphériques.

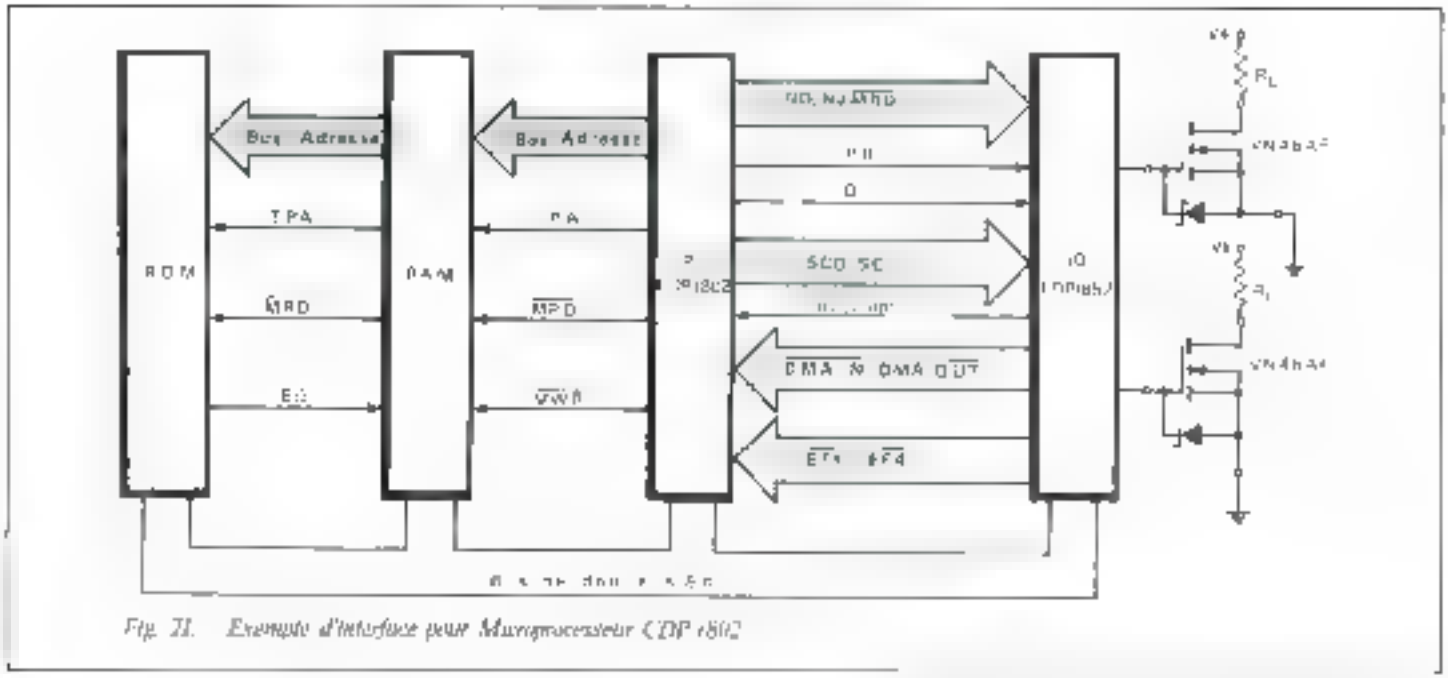
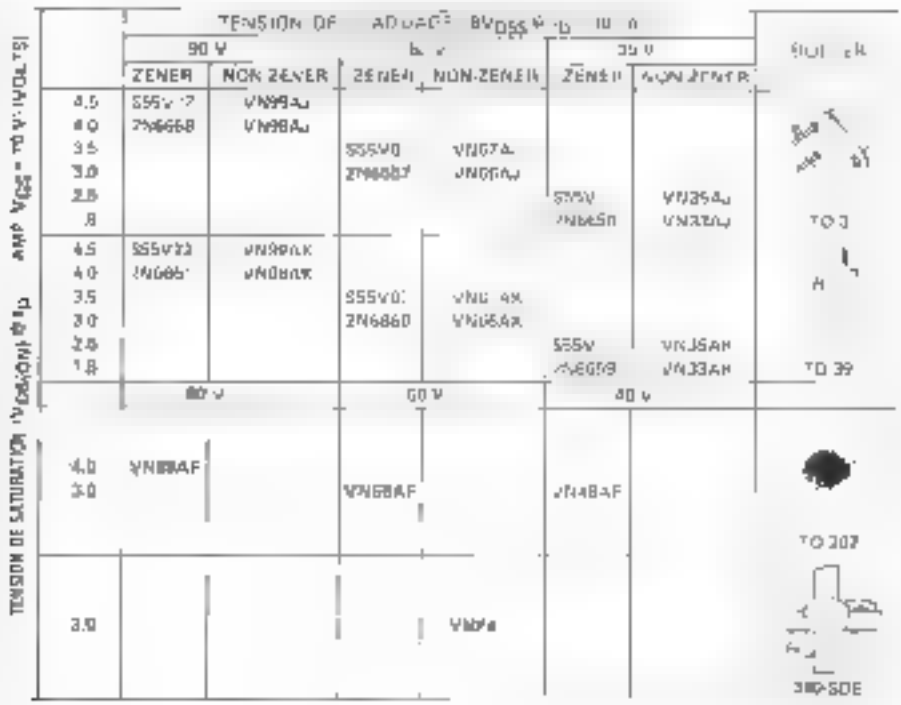


Fig. 11. Exemple d'interface pour Microprocesseur CDP 1802

Tableau guide des VMOS



Un système simple de vérification des mémoires : ROM, PROM et EPROM

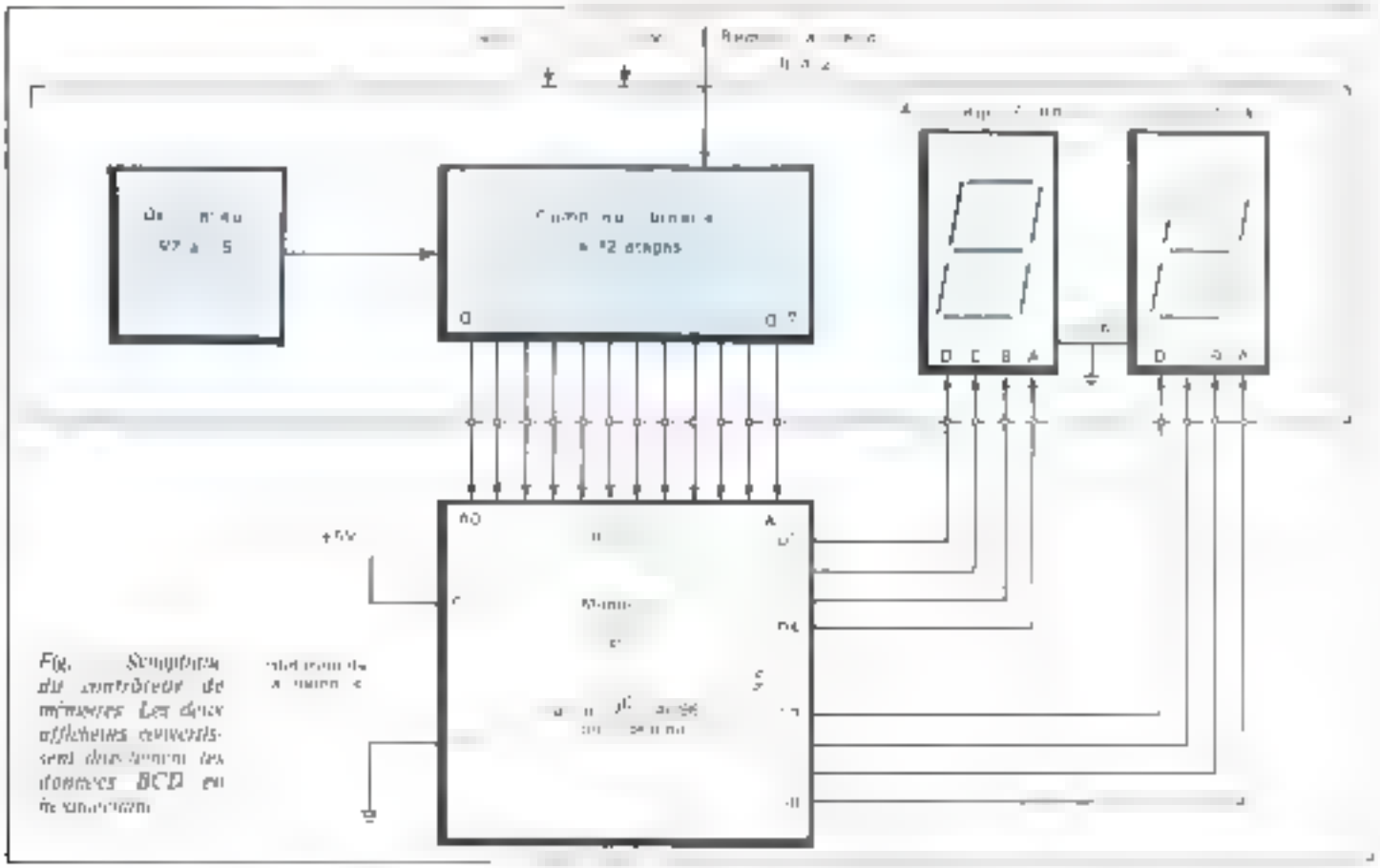


Fig. Synoptique du contrôleur de mémoires. Les deux afficheurs devront visualiser des données BCD en hexadécimal.

Chaque réalisation à microprocesseur exige une ou des mémoires capables de stocker les données et les programmes que doit gérer le processeur. Dès que l'on aborde ces composants, il est souhaitable de disposer d'un système de test permettant de visualiser le contenu de chaque adresse mémoire et de le comparer au listing de programmation. En outre, ce montage permet de recopier un programme inséré dans une mémoire inconnue.

Nous avons volontairement étudié un système très simple, avec peu de composants, d'un coût faible et à la portée de tous. Néanmoins, le lecteur désireux de rendre cette réalisation plus complexe peut facilement en étendre les possibilités. Dans l'encadré « extensions », nous développons quelques exemples d'aménagements de cet ensemble.

Principe

Le principe de fonctionnement est présenté figure 1. Un oscillateur délivre des impulsions séquencées par le compteur binaire. Celui-ci génère des signaux qui, convertis en 2 octets binaires, sont appliqués à l'entrée d'adresse d'une mémoire. Les données lues sont présentées sur un afficheur hexadécimal. Ainsi, à chaque adresse correspond une donnée.

Ce système fonctionne indépendamment du microprocesseur. Il est donc impossible de visualiser les instructions successives d'un programme. La mémoire est donc scrutée en position statique. A cet effet, CS* est à « 1 » (+ 5 V) et R/W* à « 0 » (masse). Lorsque CS est haut, la mémoire est en général choisie, chaque fois que nous sommes en présence d'un code supérieur à une valeur définie par application d'un « 0 » sur la broche correspondante.

Tel que nous vous le présentons, le montage reçoit des données sur 8 bits. Les sorties de mémoires sont connectées deux à deux aux afficheurs BCD, ce qui permet de visualiser en hexadécimal un octet lu en mémoire.

Certaines mémoires à mots de 4 bits présentent une sortie unique qui peut suffire à contrôler un afficheur. Dans ce cas, il faut 2 mémoires au lieu de 4 pour l'ensemble. Par contre, [illegible] 8 bits au lieu de 4 pour l'ensemble. [illegible] (fig. 2). [illegible] PL [illegible]

[illegible] 5 V [illegible] [illegible] [illegible]

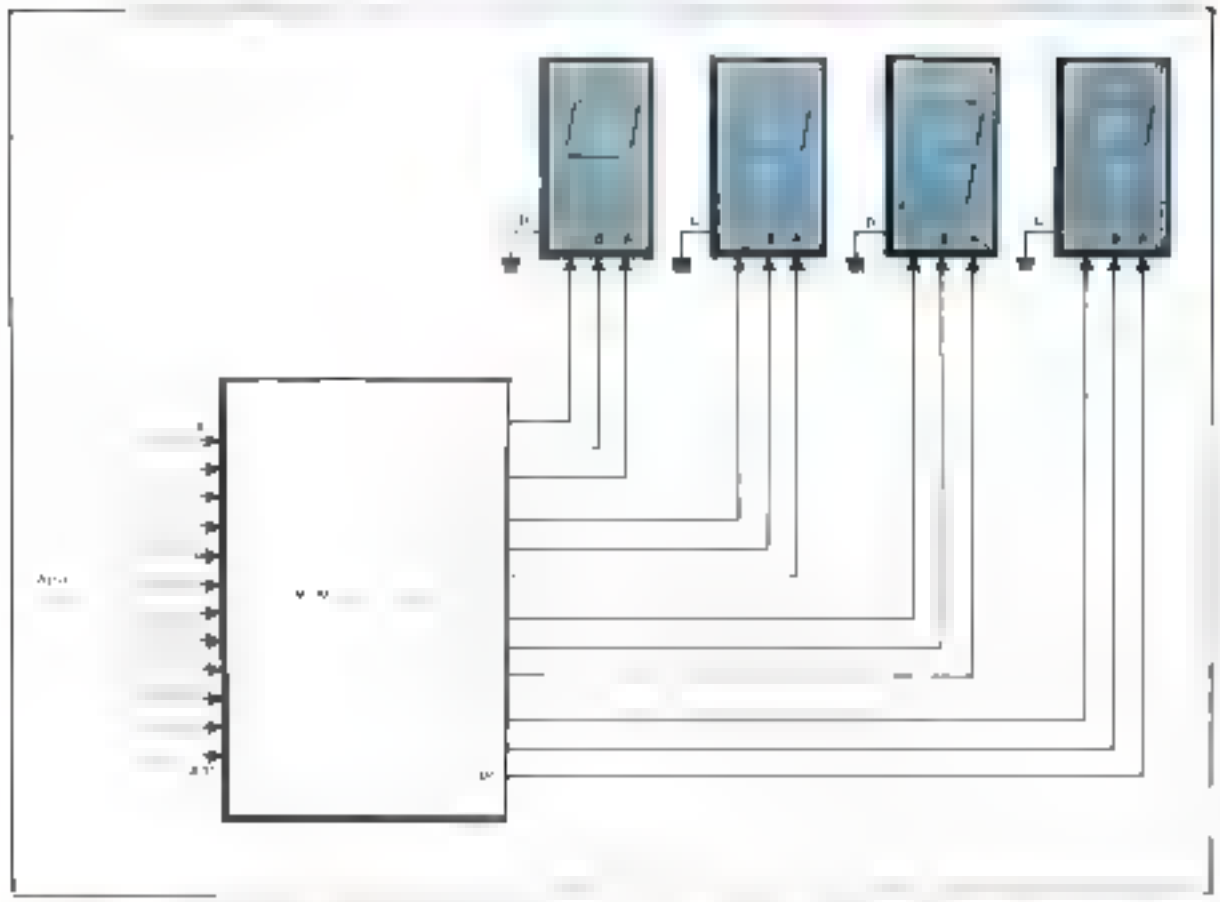
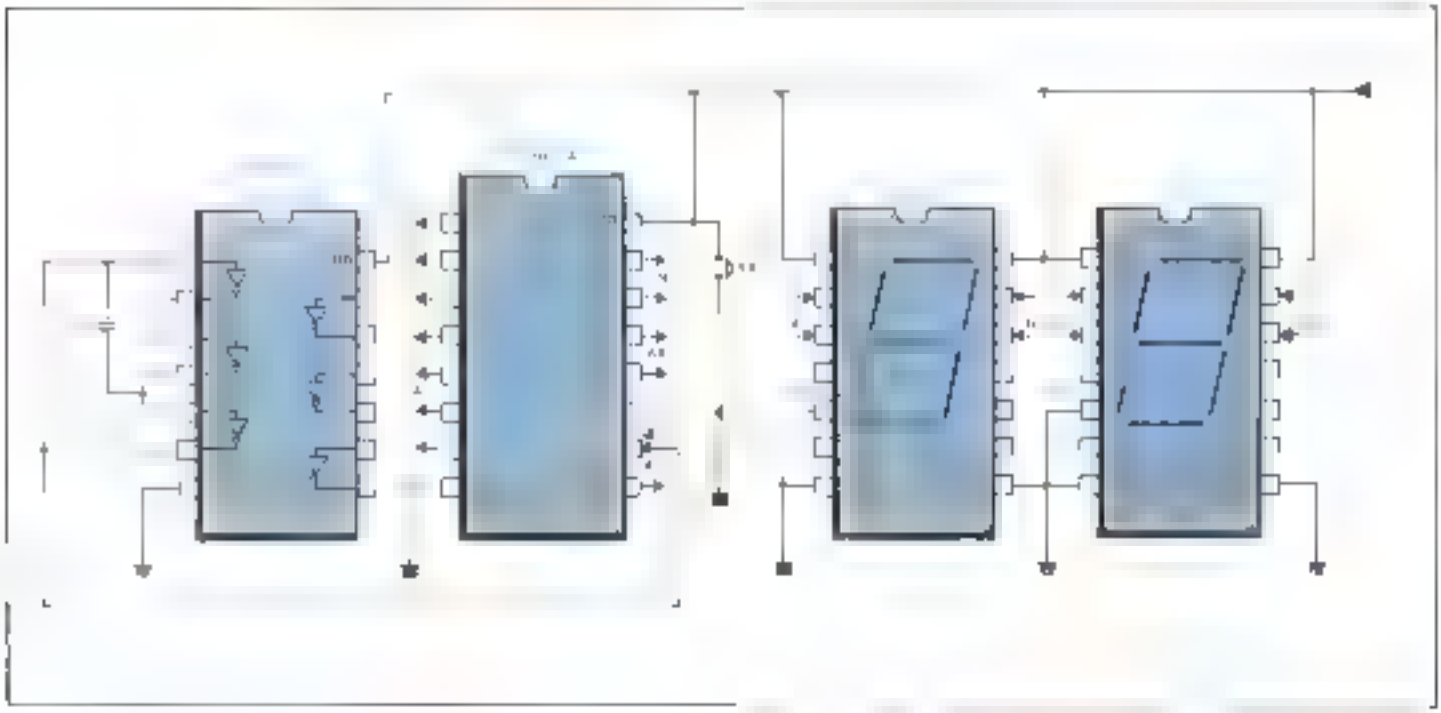


Fig. [illegible] entrées des afficheurs sont reliées à la sortie parallèle du [illegible]

[illegible] bar de chiffres



Le déclenchement du bouton lance le comptage. Les mots d'adresse s'affichent commencent à défiler à raison d'environ une adresse par seconde et nous pouvons vérifier à l'aide de la liste hexadécimale le programme inscrit en mémoire.

La figure 3 indique le détail des circuits utilisés : le CD 4069 AE pour l'oscillateur et le CD 4040 AE pour le compteur. Tous deux réalisés en technologie CMOS. Les afficheurs Dialight (745-000*) intègrent dans un même boîtier des mémoires tampons (latches) et un décodeur hexadécimal à l'affichage par points.

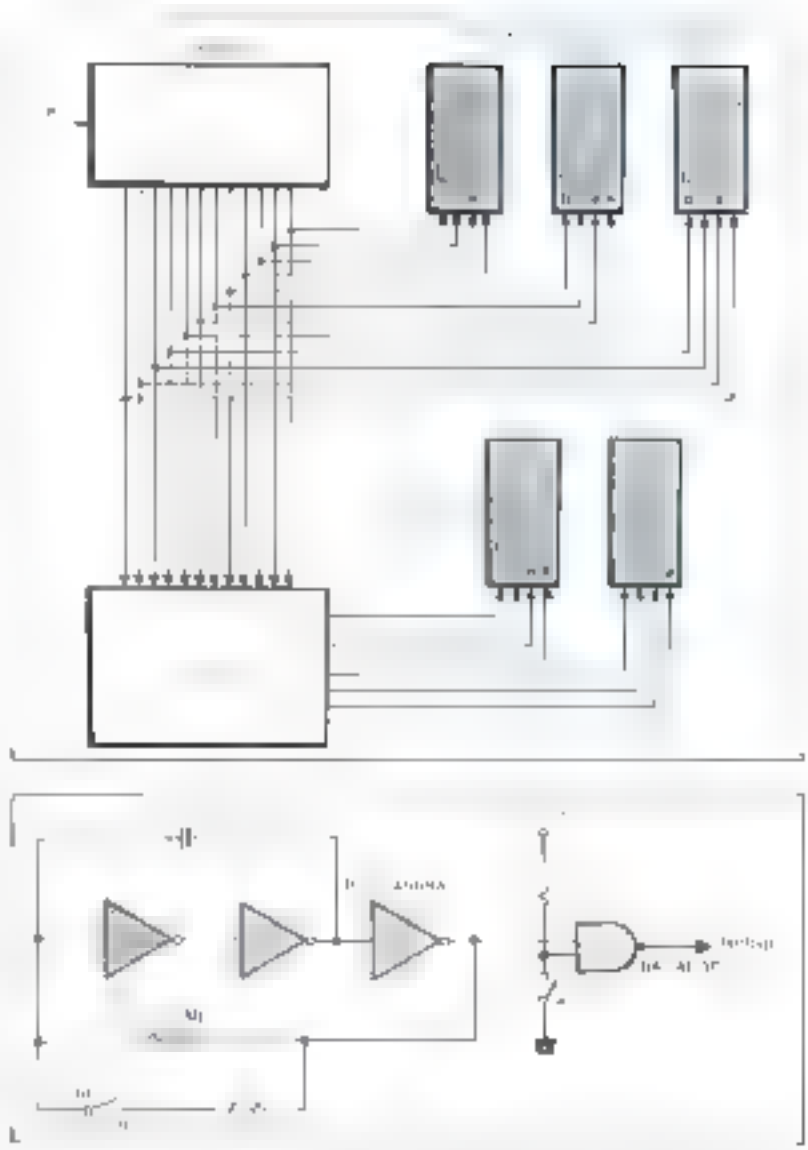


Fig. 4 - Afficheur de l'adresse mémoire. Il suffit de placer trois circuits supplémentaires sur la face arrière du circuit imprimé.

Réalisation

Vss doit être normalement relié à la masse et Vpp au + 5 V.

Cela donne la diversité et la grande variété de brochages des mémoires : il n'est pas possible d'inclure cet élément sur le circuit imprimé. Celui-ci sera donc muni de cosses qui devront supporter des fils connectés à des pinces genre microclips ou femelles de picot à wrapper comme dans sous [illegible].

Ces fils rejoindront la mémoire à tester placée vers son homologue : A_0 sur A_0, A_1 sur A_1, ... D_0 sur D_0, ... Ne pas oublier de connecter CS à V_{ss} et CS à V_{cc}. ■

Extensions

1) Affichage de l'adresse mémoire

Trois afficheurs/latches/décodeurs sont mis en place sur le bus d'adresse : 12 bits inscrivant en hexadécimal l'adresse de l'emplacement mémoire dont le contenu est affiché sur le bus de données (fig. 4). La dernière adresse la plus haute que nous puissions visualiser avec ces trois afficheurs est :

[illegible]
F F F

Ce qui correspond bien aux 12 bits du compteur et aux 4096 positions mémoire accessibles.

2) Avance rapide et stop

Lorsque l'on désire visualiser le plus rapidement possible le contenu d'une mémoire sur un mot bien particulier pouvant être éloigné (surtout dans les mémoires de forte capacité) de l'adresse de départ (000), il est intéressant d'agir sur l'horloge afin d'en augmenter la fréquence et de la multiplier par 10 ou par 100. Cette fonction est réalisée simplement en plaçant en parallèle sur la résistance de 1 à 1,5 MΩ de l'oscillateur une résistance d'environ 100 kΩ en série avec un bouton poussoir en impulsion. L'arrêt sur une adresse donnée utilise une porte NAND, une résistance de 10 kΩ et un bouton poussoir (fig. 5).

Jeux sur micro-ordinateurs

Le « Startrek »

Dans presque tous les centres d'informatique il existe un certain nombre de jeux qui sont disponibles aux connaisseurs de la machine. Parmi ceux-ci se trouvent des jeux classiques, tels que le chemin de fer, la roulette, le morpion, le pendu, les dames et les échecs. Mais il existe également toute une classe de jeux qui ne sont rendus pratiquables que par la puissance de l'ordinateur. Ainsi sont apparus de nombreux jeux d'entreprise et de guerre qui sont employés à des fins pédagogiques dans les instituts appropriés. Les amateurs de mathématiques récréationnels se sont aussi emparés du temps machine afin d'explorer des permutations nombreuses dans des jeux comme les Pentaminos, l'Ane Rouge, et le L-Game, ou bien comme dans le Jeu de la Vie, créé par Horton Conway, d'explorer l'évolution de suites complexes dans le temps. Notons que ce jeu est à lui tout seul responsable de la création d'un journal Life Line et que des milliers d'adeptes de part le monde y consacrent leurs moments perdus ainsi que les moments perdus de leurs ordinateurs.

Le micro-ordinateur CB-4000 sur lequel tourne le jeu de Startrek.

L'ordinateur apporte une dimension nouvelle aux jeux

En effet l'ordinateur est un puissant outil de simulation. Dans l'hypothèse où l'on sait par programme lui donner des règles de comportement soit absolus soit régis par des coefficients de probabilités, la machine peut simuler un environnement : le marché dans les jeux d'entreprises, les ennemis dans les jeux de guerre, les facteurs économiques dans un jeu qui s'appelle Kingdom et où l'on est chargé d'administrer un royaume pendant quelques années.

On saisit la fascination de ces jeux qui permettent au joueur de participer à un monde de rêve, où il se heurte sans danger à des problèmes analogues à ceux du monde réel. Prenons le cas de Kingdom. Les règles du jeu sont simples, et un enfant de dix ans peut facilement y jouer. Chaque année il doit décider de combien de blé planter, de combien d'argent distribuer au peuple, de combien d'argent dépenser dans la lutte contre la pollution et de combien de terrains vendre aux industries. La machine calcule ensuite pendant quelques secondes, et lui indique que les terres semées ont rapporté X francs, que le nombre de touristes a diminué à cause de la pollution, que des citoyens sont morts de faim et qu'il faut dépenser de l'argent pour les enterrer. Par ailleurs ils ne pourront pas travailler dans les champs l'année d'après, et ainsi de suite. En dépit de sa simplicité apparente le jeu permet à l'enfant de saisir les relations entre les divers acteurs économiques, et de se méfier des stratégies au coup par coup, trop simplistes. Cette révélation, qui ne vient en général qu'après les années d'expérience qui font de l'enfant un adulte à ses dépens, est maintenant à sa portée. De même, les militaires et les gestionnaires peuvent digérer leurs réflexes dans des jeux qui simulent un modèle de la réalité où les années ne durent que des minutes et où les milliards perdus ne tuent pas de mal.

Chacun pourra trouver du bien dans la panoplie de jeux que l'ordinateur met à notre portée. Aussi bien dans leur programmation que dans leur déroulement nous pouvons affiner notre raisonnement et nos réflexes. Mais il ne faudrait pas perdre de vue l'intérêt principal : les jeux sont amusants.

Il faut disposer d'un matériel approprié pour jouer

Bien entendu, si les principes de simulation et de calcul qui rendent la programmation des jeux possibles sont valables quelle que soit la machine sur laquelle on travaille, les différences entre le matériel disponible et les langages de programmation utilisés ont donné lieu à la naissance de multitudes d'implémentations de chaque jeu adaptés aux configurations de leurs auteurs. Ceci rend nécessaire des modifications dans le code source d'un programme chaque fois qu'il s'agit de le transposer d'un ordinateur sur un autre.

Afin d'implémenter la plupart des jeux dont nous avons parlé il faudra disposer d'une unité centrale munie d'au moins 4 K-octets de mémoire, et parfois pour des gros jeux on aura besoin de jusqu'à 32 K ; il faudra disposer d'un terminal ou alphanumérique imprimant ou mieux à un écran de visualisation. Et pour stocker les programmes parfois longs, d'une interface de machine à cassette ou d'un perforateur lecteur de bande en papier. Parfois, mais rarement, il faudra disposer

Dans le jeu de Startrek la galaxie est divisée en 64 quadrants eux mêmes subdivisés en 64 secteurs représentés par une matrice 8 x 8

de floppy disks, afin que la machine ait à sa portée des fichiers volumineux (ce sera souvent le cas dans des jeux qui s'inscrivent en jouant, ex : le jeu des animaux). L'interface graphique est souvent utile mais rarement indispensable pour ces jeux et il en est de même pour des entrées analogiques comme des joysticks. Enfin, une interface audio permet des effets spéciaux spectaculaires, telles que sirènes d'alarme et explosions mais là encore, c'est du luxe.

Des exemples d'ordinateurs sur lesquels pourront être implémentés ces jeux sont le PET de Commodore ou l'APPLE-II, qui sont des machines « grand public » ne nécessitant aucune connaissance d'électronique pour leur usage, et qui sont très bien adaptés aux jeux, ou bien le CB-6800 qui est une version du célèbre SWTPC 6800 adapté à l'usage en France par **Computer Boutique**, et qui est un ordinateur modulaire pour amateurs désireux de s'initier en hardware aussi bien qu'en software. C'est cette machine nous servira de référence, puisque c'est celle que les auteurs se sont construits.

Le jeu de Startrek

Ce jeu est extrêmement répandu dans les centres d'informatique des universités américaines. Il s'inspire par un feuilleton télévisé qui d'ailleurs a fait une brève apparition en France. La version écrite par Mike Mayfield en octobre 1972 pour l'HP2000C est restée dans la bibliothèque de programmes Hewlett Packard en février 1973 et sert de référence. Cette version ainsi qu'une autre encore plus puissante, écrite par Bob Leedom du Westinghouse Defense and Electronic Systems Center est écrite en Basic.

La version que nous vous présentons fut traduite en français par Hugues Eynard, et tourne sur un CB-6800 avec 4 K de mémoire. Elle est disponible en listing et sur cassette pour CB-6800.

Comment jouer à Startrek

Startrek est un jeu de simulation de bataille spatiale très complexe.

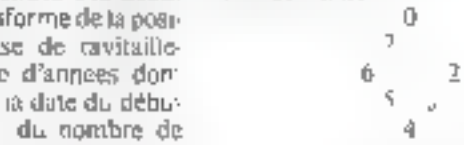
Les auteurs : Andrew Seligman (à gauches) et Hugues Eynard-Chiremay (leur interview)

Vous êtes chargé de la commande du navire interstellaire Entreprise et votre mission consiste à débarrasser la galaxie des destroyers Klingons qui menacent la Fédération que vous défendez. Au début du jeu vous êtes informé de la position de votre base de ravitaillement, du nombre d'années dont vous disposez, de la date du début de votre mission, du nombre de Klingons qui vous opposent, et de votre position dans la galaxie.

La galaxie est divisée en 64 quadrants, représentés par une matrice 8 x 8. Chaque quadrant est lui-même subdivisé en 64 secteurs, également disposés en une matrice de 8 x 8. Afin de manœuvrer on donne des commandes à l'ordinateur qui les exécute dans la mesure du possible, et vous tient au courant du déroulement, bon ou mauvais, des opérations. Les dix commandes sont les suivantes :

1 Commande 0

Cette commande permet de se déplacer dans la galaxie, soit à l'intérieur de son quadrant, soit d'un quadrant à un autre. La machine demandera la direction et la distance à se déplacer. La machine vous informe si vous rentrez dans quelque chose ou si vous sortez de la galaxie. La direction de déplacement est un entier de 0 à 7 qui vous oriente selon la convention suivante :



La distance est donnée par un nombre réel de 0 à 9.0 qui représente le nombre de quadrants à parcourir. Lorsque l'on change de quadrant, l'on rentre au hasard quelque part dans le prochain quadrant sur son chemin.

2. Commande 1

Cette commande active le radar courte portée et donne une carte du quadrant où l'on se trouve, avec la position de l'Entreprise, des étoiles et des Klingons. Ainsi on peut manœuvrer dans son quadrant.

3. Commande 2

Cette commande active les radars longue portée et imprime une carte des quadrants adjacents, montrant le nombre mais non pas

la position des étoiles, des Klingons, des supernovas et des bases de ravitaillement qu'ils contiennent.

4. Commande 3

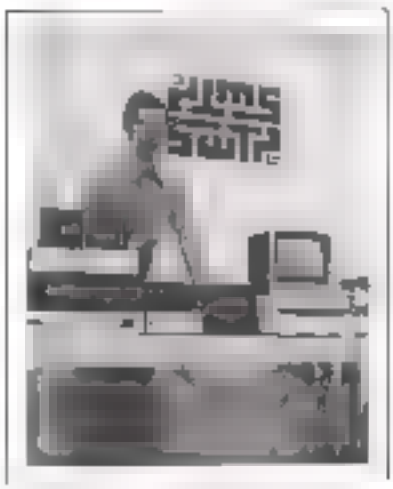
Cette commande active les phasers, arme offensive gérée par l'ordinateur de bord, qui détermine l'angle et la puissance de tir. Faudra pour phaser un Klingon lui tirer dessus avec une quantité d'énergie qui comporte un facteur aléatoire. Les boucliers doivent être descendus avant de tirer les phasers.

5. Commande 4

Cette commande tire une torpille photon. Il faut viser manuellement pour tirer comme pour manœuvrer dans son quadrant. Une torpille détruit tout ce qu'elle rencontre mais si on ne la dirige pas dans la bonne direction elle aura peut-être pas assez d'énergie pour atteindre son but (il faut jouer). Notons que toutes les batailles se déroulent à l'intérieur d'un quadrant que l'on ne peut traverser (sauf les étoiles, que les Klingons manœuvrent et vous tirent dessus, usant l'énergie de vos boucliers, et endommageant votre vaisseau quand ils vous touchent sans défense).

6. Commande 5

Cette commande permet de faire le point des dommages encourus jusque-là. Ces dommages entrent sur les systèmes à fonctionner pendant le délai des réparations qui est indiqué.



7. Commandes 6 et 7

L'énergie des boucliers représente la quantité d'énergie pure laquelle on pourra être exposé en cumul et cette quantité apparaît avec d'autres statistiques vitales lors des rapports livrés par la commande 1 (des radars courte distance). La commande 7 baisse les boucliers afin de tirer les phasers.

8. Commande 8

Cette commande téléporte l'Entreprise instantanément vers la base de ravitaillement en mentionne sur l'énergie de la base. On peut s'en servir un nombre inconnu de fois, mais seulement après douze ans dans l'espace. Après usage il pourra s'endommager sans apparaître sur le rapports fournis par la commande 5 et par ailleurs. Il arrive parfois qu'on se place l'Entreprise dans un quadrant de [illegible].

9. Commande 9

Cette commande permet d'endommager le vaisseau en [illegible] dispose. Il faut ne s'en servir que dans un quadrant vide (sans vaisseau). Pour l'employer il faudra entrer un mot de passe qui n'est connu que du capitaine du vaisseau (vous) qui a l'œil au verso de la [illegible].

Certain nombre d'événements inattendus tels que des supernovas, des tempêtes interstellaires, et le mauvais fonctionnement du téléporteur peuvent intervenir pendant le jeu. Par ailleurs certains Klingons peuvent se mettre à des vitesses course-poursuite et il faudra sans doute user des phasers pour les arrêter. Si on quitte la galaxie plus de trois fois par inadvertance pendant le jeu, l'[illegible] [illegible].

En dépit de leur apparence de complexité, ces règles s'apprennent rapidement et un enfant de douze ans peut apprendre à jouer au Star-trek. Il n'existe cependant pas de stratégie permettant de gagner à coup sûr, et ce jeu est suffisamment subtil pour intéresser des adultes pendant longtemps (pendant plus longtemps que les enfants peut-être). ■

Les auteurs

Andrew Seligman et Hugues Esmond-Duvernay animent le département technique de Computer Boutique. Ils ont construit de nombreuses machines et animé des conférences sur l'informatique individuelle en France et à l'étranger.

A titre d'exemple, voici deux de « RUN » au début des jeux du jeu de Startrek

Run type de Startrek

1 STAR3.BIN

VOULEZ-VOUS DES INSTRUCTIONS

BASE ENQ6-3

MOT DE PASSE ALS

ALPHA
KLINGONS 34
ANNEES 26
QUADRANT 8-1
SECTEUR 4-8

COMMANDE ?

S DATE 3125.0
NOMBRE DE KLINGONS
QUADRANT 8-1
SECTEUR 4-8
ENERGIE 3000
KLINGONS 34
BOUCLIER 3000 ABS
TORPILLES 5

COMMANDE ?

RADAR ENQ8-1

000 000 000
000 000 000
000 000 000

COMMANDE ?
SHIELDS UP

COMMANDE ?
VERS ? 5
DISTANCE ?2

COMMANDE ?

S DATE 3125.7
NOMBRE DE KLINGONS
QUADRANT 8-2
SECTEUR 1-2
ENERGIE 3000
KLINGONS 34
BOUCLIER 3000 ABS
TORPILLES 5

COMMANDE ?
VERS ? 5
DISTANCE ?2

COMMANDE ?

RADAR ENQ ?

000 000 000
000 000 000
000 000 000

LES KLINGONS ATTAQUENT CAPITAINE

COMMANDE ?

S DATE 3125.7
CONDITION ROUGE
QUADRANT 8-2
SECTEUR 5-5
ENERGIE 3000
KLINGONS 34
BOUCLIER 2528 ABS
TORPILLES 5

LES KLINGONS ATTAQUENT CAPITAINE

COMMANDE ?
VERS ? 6
4-5

TORPEDO KLINGON
IL EN RESTE 33

LES KLINGONS ATTAQUENT CAPITAINE

COMMANDE ?
VERS ? 6
4-6

TORPEDO KLINGON
IL EN RESTE 32

LES KLINGONS ATTAQUENT CAPITAINE

COMMANDE ?
VERS ? 3
5-5

TORPEDO KLINGON
IL EN RESTE 31

LES KLINGONS ATTAQUENT CAPITAINE

COMMANDE ?
SHIELDS DOWN ?

TOUS LES KLINGONS DETRUITS

STARBASE A
ENERGIE 1958 2928
ENERGIE 4061
TOUS CES KLINGONS DETRUITS
IL EN RESTE 30

COMMANDE ?

DEVETAT

COMMANDE ?

RADAR ENQ ?

000 000 000
000 000 000
000 000 000

COMMANDE ?
VERS ? 0
DISTANCE ?
HORS LIMITE

COMMANDE ?
VERS ? 0
DISTANCE ?

Vous ne voyez pas le Klingon de gauche

Progression de la torpille dans un secteur de quadrant

Bouclier en service

Plus assez loin ?

Nous sommes sortis de la galaxie

Tout va bien

etc.

Stages – séminaires

Stages de formation à l'Ecole Centrale de l'Electronique

Cette école dans le cadre de la formation permanente, met aujourd'hui à la disposition des différents personnels de l'industrie son expérience et ses professeurs, spécialistes de l'électronique et de l'informatique.

Pour mieux répondre à vos besoins de formation l'E.C.E. organise :

- des stages d'électronique
- des stages d'informatique
- des stages spéciaux d'entreprise
- des cours à distance.

Ces différents stages peuvent être de courte durée ou de longue durée (> 600 h).

Ils auront lieu dans les nouveaux locaux de l'école spécialement aménagés pour la formation permanente.

[illegible] Paris.

La liste des sujets traités est la suivante :

1) Stages d'électronique

— Technologie des circuits intégrés.
Méthodes de contrôle et fiabilité des composants et systèmes.
Circuits intégrés linéaires et digitaux
[illegible]
Technique de conversion.

— Microprocesseurs.
Technique des microprocesseurs.

— Applications des microprocesseurs.

2) Stages d'informatique

Initiation à l'informatique.

— Perfectionnement au langage COBOL. Travaux pratiques sur ordinateur.

— Perfectionnement au langage FORTRAN. Travaux pratiques sur ordinateur.

Analyse et programmation.

— Stages de mathématiques ou économie. Gestion de l'informatique préparant au B.T.S. Gestion et exploitation des centres informatiques.

E.C.E., 12, rue de la Lune, 75002 Paris. Tel : 236.78.87.

Séminaire Intersil

Intersil organise régulièrement des cours de formation sur le **microprocesseur IM 6100**, avec manipulation sur système Intercept. Par ailleurs Intersil peut organiser des cours spéciaux de 2 ou 3 jours sur demande (contacter Intersil).

Ces séminaires ont une durée de 4 jours. Le premier jour est optionnel et est destiné à l'initiation aux microprocesseurs afin que les ingénieurs ou techniciens non spécialisés suivent avec profit les 2 jours suivants.

Ces séminaires auront lieu les 28, 29 et 30 novembre au **Trianon Palace Hôtel, 1, boulevard de la Reine, 78000 Versailles.**

Leur prix est de : 2 jours (cours 6 00) : 1 000 F H.T. 3 jours (introduction + cours 6100) : 1 500 F H.T.

J.P. Lamothe : « Le langage FORTRAN IV »

L'ouvrage de Jean-Pierre Lamothe « Le langage FORTRAN IV » veut être plus qu'un simple manuel d'utilisation. Conçu, bien entendu, dans le but d'exposer les principales caractéristiques de ce langage et de montrer surtout comment l'utiliser il dégage également sa philosophie et permet de mieux le situer vis-à-vis d'autres langages. Algol notamment.

Après un chapitre de généralités relatives aux caractéristiques communes des principaux langages de programmation, la présentation progressive du FORTRAN est émaillée de nombreux exemples. Chaque chapitre contient des exercices avec leur solution, ce qui permet au lecteur de vérifier l'assimilation du langage. En outre, le chapitre 3 est consacré à des exercices de récapitulation complètement traités.

Collection « Dunod Université » Dunod 3e édition 1978 15,5 x 24, 276 pages - index. Broché 52 FF.

« Exercices de programmation en FORTRAN IV »

Le deuxième ouvrage de Jean-Pierre Lamothe complément indispensable du précédent est un recueil d'exercices complètement traités et classés par rubriques et par difficultés croissantes. Chaque solution comporte des explications, un organigramme avec commentaires, la liste FORTRAN correspondante avec commentaires, un exemple d'exécution.

Le premier chapitre est consacré aux organigrammes dont la conception requiert le début et dont l'abandon en fin d'étude ensuite une augmentation importante du coût « de maintenance » des programmes. Les sept autres chapitres contiennent les exercices.

Collection « Dunod Université » Dunod 2e édition 1977 15,5 x 24, 148 pages. Broché 36 F.

Stage microprocesseurs

RTC organisera à nouveau du 10 au 13 octobre un stage intensif de formation sur les microprocesseurs. L'objectif de ces quatre journées est de fournir aux utilisateurs les éléments nécessaires à la conception et à la mise en œuvre d'un système réel construit autour d'un microprocesseur.

Les aspects matériel, logiciel et aide à la conception seront couverts en détail. Les participants traiteront plusieurs problèmes avec conception du programme, codage et assemblage. L'exécution du programme sera vérifiée par simulation et par la mise en œuvre de systèmes de développement autour du microprocesseur 2x50.

Un dossier d'information peut être obtenu sur demande adressée à la division microélectronique **RTC, 130, avenue Ledru-Rollin à Paris (11e).**

Mémoire EAROM NITRON 128 x 8 bits

Le NC 7053 est une mémoire non volatile effaçable électriquement en technologie N-MOS organisée en 128 mots de 8 bits.

Chaque mot est individuellement effaçable et adressable au moyen des lignes d'adresse multiplexée A0 à A6 et de quatre lignes de commande CS, R, W et F.

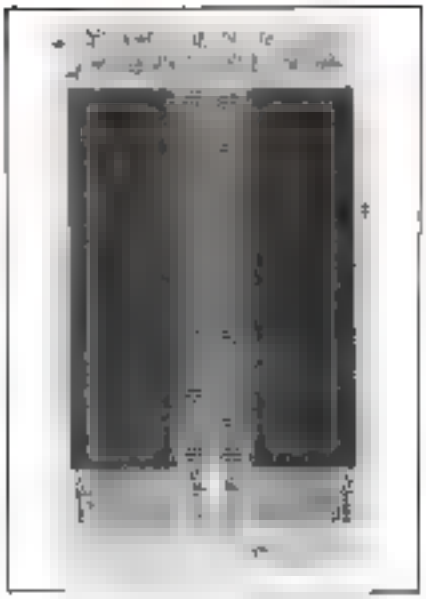
Un oscillateur interne de 10 kHz peut être commandé soit par des composants extérieurs soit synchronisé avec l'horloge du système. Toutes les

entrées et sorties sont compatibles TTL. L'adressage est entièrement décodé et l'alterabilité peut se faire en circuit. La rétention typique est de 10 ans.

Technology Resources
27-29, rue des Poissonniers
92200 Neuilly-sur-Seine
Tél. 747.47.17 - 747.70.51

La plus petite RAM dynamique intégrée de 16 k

La mémoire MCM 4116 est une RAM dynamique qui apparaît de 16 384 bits susceptible comme mémoire centrale, mémoire tampon ou mémoire de périphérique, dans les applications qui demandent des performances élevées pour un faible coût. La mémoire est organisée en 16 384 mots d'un bit. Elle est fabriquée selon une technologie Motorola à canal N et double couche de silicium polycristallin qui assure une haute fiabilité tout en réalisant un compromis idéal entre vitesse, puissance et densité.



Le MCM 4116 comporte des cellules à un seul transistor et utilise des techniques de mémorisation dynamique, chacune des 128 adresses de rangée nécessitant un cycle de rafraîchissement toutes les 2 ms.

H.L. Feraud ou F. Santamaria, Motorola Semiconducteurs S.A. 15-17, avenue de Ségur, 75007 Paris. Tel. 551.50.61.

Le 8049 d'Intel fonctionne à 11 MHz

Le 8049, micro-ordinateur monochip issu de la gamme de Intel est commercialisé aujourd'hui dans une version fonctionnant à 11 MHz alors qu'il était jusqu'alors spécifié à 6 MHz.

Cette augmentation de 80% de la vitesse permet au 8049 de faire une addition de 2 mots de 8 bits en seulement 96,7 microsecondes, cette performance ne s'accompagnant que d'un accroissement de 30 mA de la consommation, celle-ci passant de 40 à 70 mA.

Le 8049 est le micro-ordinateur monochip le plus rapide du marché, peut utiliser des filtres céramiques à 10,7 MHz produits en grande quantité pour les récepteurs F.M. et donc très bon marché.

Les caractéristiques essentielles du 8049 sont décrites dans ce même numéro de Micro-Systèmes.

Distributeurs Intel
Celdis, tél. 581.00.20
Métrologie, tél. 791.44.44
Tekelec, tél. 827.75.35.

L'IDM 2901 A/1 : un nouveau microprocesseur en tranche

National propose à présent l'IDM 2901A/1, une version rapide de l'IDM 2901A, microprocesseur bipolaire en tranche.

Ce microprocesseur **est capable d'effectuer une opération d'addition et décalage sur 16 bits en 95 nanosecondes** + 10,5 nanosecondes de propagation de retard avec une horloge à 6 MHz. La consommation du circuit est de 800 mW à 25°C.

L'IDM 2901A/1 se présente dans un boîtier céramique à 40 broches au prix de 168 F par quantité de 100. C'est une version plus rapide de l'IDM 290 A qui apporte une augmentation de vitesse de 50% sur les versions LOW Power Schottky et standard.

Ainsi l'ingénieur qui utilise l'IDM 290 A/1 n'a plus à choisir entre vitesse et faible consommation car ce circuit permet les vitesses de l'ECL sans consommer plus que le TTL LS.

National Semiconductor 28, rue de la Redoute, 92260 Fontenay-aux-Roses. Tel. 660.81.40 +

Nouvelles PROM TTL de 4096 bits chez Motorola

Les MCM 7640-43 sont des PROM bipolaires à fusibles disponibles en versions collecteur ouvert et sortie 3 états.

La série MCM 7640-43 comporte quatre dispositifs programmables dans les mêmes conditions qui offrent deux modes d'organisation et deux types de sorties logiques pour faciliter l'extension d'un système.

MCM 7640 - Organisation 512 x 8 bits, sorties en collecteur ouvert
MCM 7641 - Organisation 512 x 8 bits, sorties à trois états
MCM 7642 - Organisation 1024 x 4 bits, sorties en collecteur ouvert
MCM 7643 - Organisation 1024 x 4 bits, sorties à trois états

Chaque PROM est livrée prête à la programmation. Tous les bits sont initialement des « 1 » (sortie haute) et la programmation par fusion sélective permet d'y inscrire des « 0 ». L'utilisateur peut y inscrire son programme et l'opération ne dure qu'une seconde pour 1024 bits.

Ces mémoires sont compatibles broche à broche avec les PROM et les ROM les plus courantes.

Mémoire PROM en technologie Schottky

Texas Instruments annonce deux nouvelles mémoires programmables de 4 096 bits. Désignées par les références SN 545, 74S476 et SN 545, 74S477 les nouvelles mémoires sont organisées en 1 024 mots de 4 bits.

Les dispositifs SN 745 sont caractérisés par un temps d'accès de 35 nanosecondes en typique et de 60 nanosecondes au maximum, ainsi que par un temps de validation de [illegible] nanosecondes au maximum.

Leur organisation en 1 024 mots de 4 bits, ainsi que leur encombrement réduit (boîtier 18 broches) rendent les nouvelles mémoires particulièrement intéressantes pour les applications où l'on a besoin d'une capacité de mémorisation relativement grande : mini et micro-ordinateurs, terminaux intelligents, périphériques de grandes vitesses, systèmes à microprocesseurs.

Présentées en boîtier standard à 18 broches, les nouvelles mémoires annoncées par Texas Instruments peuvent remplacer n'importe quelle mémoire PROM de 4096 bits, utilisées dans le même boîtier.

Moniteur et Mini Floppy

La Société Pentasonic a récemment mis au point un nouveau moniteur appelé Pentobug 1 s'adaptant directement sur le kit 6800 DH. Ce moniteur travaillant en ASCII permet de gérer par l'intermédiaire d'une ACIA un télétype, une carte vidéo, ou tout autre périphérique. Sa capacité de 2 K octets lui permet, outre 24 fonctions de debugging classiques (supérieur au Minibug II) de travailler en langage clair et d'appeler jusqu'à 255 sous-programmes utilisateurs. Il est à noter également que la gestion des NMI IRQ et SWI est assurée par ce moniteur. Il se présente sous la forme de 2 mémoires mortes, se montant directement sur les emplacements prévus à cet effet. Les modifications Hard sur le kit se résument à l'adjonction d'un ACIA et d'un 74 LS 55 sur l'emplacement à wrapper.

Ces deux mémoires sont commercialisées au prix de 195 F T.T.C. Notons la commercialisation immanente par cette même société de lecteurs de mini floppy double densité d'une capacité de 1/2 Mega octets par disquette au prix de [illegible] F T.T.C. prix de la disquette : 45 F T.T.C.

Pentasonic, 5, rue Maurice-Bourdet, 75016 Paris. Tél. : 524.23.16.

Le SKC 85, un microordinateur compact

Les spécialistes du développement de produits commandés par microprocesseurs ont le choix entre plusieurs solutions. Ils peuvent rechercher le matériel électron que nécessaire parmi les familles déjà existantes telles les SAB 8080 et les SAB 8085 et les assembler éléments par éléments ou sélectionner des modules pour les regrouper les uns avec les autres. Ou bien encore recourir au SAB 8048 pour les fonctions de commande relativement simples. Il s'agit d'un microordinateur complet regroupé sur un seul chip et toujours prêt à fonctionner.

Le SKC 85 monté sur une carte de format européen (100 x 160 mm) comprend un SAB 8085 servant d'unité centrale et en fonction de l'équipement une mémoire de programme de 4 K (PROM/EPROM), une mémoire RAM de 768 octets, quatre entrées d'interruption et 46 lignes d'entrée/sortie. Spécialement conçu pour servir de micro-ordinateur de commande indépendant, ce module compact dispose en outre de deux bases de temps (14 bits) sa tension d'alimentation est de + 5 V.

Siemens, 39, boulevard Ornano, 93 Saint-Denis. Tél. : 243.30 20.

SAA 6000 microordinateur 4 bits monochip de I.T.T.

Réalisé en C MOS le microordinateur SAA 6000 grâce à sa très faible consommation et à son encombrement réduit du boîtier (2 mm) est spécialement conçu pour les applications miniatures et (ou) alimentées par piles telles que télécommande, caméras, jouets, timers, équipements biologiques et médicaux.

Le SAA 6000 comporte sur un seul cristal une ROM de 2,25 K-bytes (36 pages x 63 instructions de 4 bits), des registres à décalage statiques de 9 bits x 4 lignes x 2 étages, un diviseur de fréquence réversible de 15 étages, horloge pilotée par un quartz de 32 KHz, l'ALU avec accumulateur, un PLA et un driver LCD. Le répertoire comporte 54 instructions. La consommation sous 3 V est comprise entre 20 et 30 µA.

Plusieurs exemples d'utilisation sont proposés par le laboratoire d'application :

– téléphone à clavier « intelligent » avec affichage LCD, répertoire de 10 numéros, répétition,
– télécommande infrarouge pour TV avec horloge à quartz, jeux vidéo, vidéotexte et timer (par exemple pour enregistrement en différé sur magnétoscope),
– CPU pour automobile.

I.T.T. 1, avenue Louis-Pasteur 92223 Bagneux. Tel. : 253.33 39.

Microordinateurs Siemens en seconde source d'Intel

SAB 8021

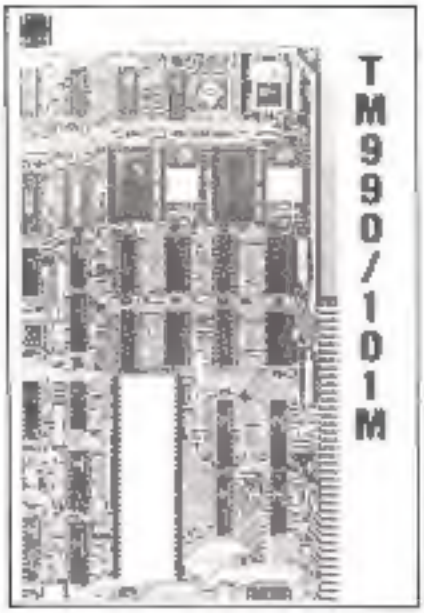
Le SAB 8021 est un micro-ordinateur 8 bits en un boîtier. Il représente une sous-version du 8048.

- UC à 8 bits, ROM, RAM, E/S dans un seul boîtier 28 broches
- Tension d'alimentation de 5 V (+ 4,5 à 6,5 V)
- Temps de cycle 10 µs, 2 cycles au maximum pour une instruction
- Jeu d'instructions : sous-ensemble de celui du 8048.
- Extension E/S possible avec le SAB 8243
- ROM [illegible] K x 8 bits, RAM 64 x 8 bits, E/S 2 lignes
- Registre d'horloge/compteur d'événements
- Horloge sur puce avec une simple

résistance ou inductance.
● Possibilité de détection de passage par zéro.

SAB 8049/ SAB 8039

Il s'agit ici encore d'un micro-ordinateur 8 bits sur 1 chip. Il est conçu dans la lignée du 8048 et avec des possibilités plus grandes (capacité mémoire étendue, plus de ligne E/S). Le SAB 8039 est équivalent au SAB 8049, mais sans mémoire ROM intégrée.



Module micro-ordinateur 16 bits

Texas Instruments vient d'annoncer la disponibilité d'un nouveau module micro-ordinateur de sa série TM 990 ; désigné par la référence TM 990/101 M, le nouvel élément permet de disposer de deux systèmes d'entrées-sorties série ainsi que d'une capacité mémoire accrue.

Ce module élargit ainsi la famille des cartes micro-ordinateurs TM 990 de Texas Instruments ; cette famille constitue un bon compromis prix-performances entre les microprocesseurs de la famille 9900 et le micro-ordinateur TI 990-4.

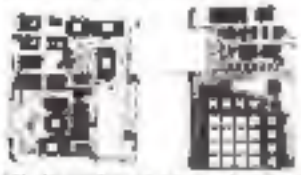
Texas Instruments, La Bourdidière, RN 186, 92350 Le Plessis-Robinson. Tél. : 630.23.43.

ACER - SERVICE MICRO - SYSTEMES

Quel que soit le niveau de vos connaissances, que vous veuillez vous INITIER, vous PERFECTIONNER ou UTILISER PRATIQUEMENT les MICRO-SYSTEMES

CONSULTEZ-NOUS OU VENEZ NOUS VOIR

KIT MKII 6800 MOTOROLA
Documentation sur demande



Ce kit répond à ceux qui souhaitent développer un système performant dans l'esprit des systèmes professionnels. Par sa conception et son prix, il sera particulièrement convenable à l'initiation.
Le kit est livré complet à l'exception de l'alimentation. En plus des possibilités d'extension offertes sur le module micro-ordinateur lui-même, il est possible d'adapter ultérieurement des mémoires RAM, ROM et des E/S supplémentaires pour réaliser des systèmes plus complexes.
Les programmes en langage machine peuvent être introduits soit par le clavier du système, soit par l'intermédiaire d'une mini-cassette branchée sur l'interface correspondante du système. L'affichage hexadécimal à diodes électroluminescentes permet de contrôler les données et les adresses. Le KIT : HT. 1 674 F, TTC 1 998 F.

NOTICE EN FRANÇAIS — CRÉDIT POSSIBLE

MICROSYSTEME MAZEL II (en kit) *Documentation sur demande*

Ce système est un vrai circuit imprimé comprenant :
- 1 clavier hexadécimal + 8 touches de fonction
- 1 afficheur hexadécimal (adresse et contenu)
- 1 PAU
- 2 PIA — 1 ACIA
- Accès direct à la mémoire DMA
- Interface cassette incorporée
- Tous les composants nécessaires à son fonctionnement

Notice complète en français
- Possibilité d'extension à 4 de Ram
- Carte mère : 1 775,00 F
- Carte RAM 4 Kbytes : 1 365,00 F
- Carte alimentation : 330,00 F

Prix en kit : 2 125 F/ttc

CIRCUITS POUR MICROSYSTEMES

MOTOROLA

MC 6800 : Drive Bus	20,60
MC 6875 : Drive Bus	26,60
MC 6828	23,20
MC 6800 P : Microprocesseur	134,20
MC 6820 : PIA	105,20
MC 6830 : ROM	110,20
MC 6850 : ACIA	128,50
MC 6871 B : Diviseur horloge DIP, 4 MHz	391,80
MC 6875 : Compteur binaire	55,20
MC 6880 P	26,60
MC 14013 BCP : Double flip-flop	7,80
MC 14516 BCP : Compteur/décompteur binaire	9,80
MC 14024 BCP : Compteur à 7 niveaux	17,80
MC 14555 BCP : Multiplexeur/démultiplexeur numérique	9,75
MC 14536	60,80
MC 14538 BCP : Double monostable	15,30
MC 14539 BCP : Sélecteur de données	18,80
MC 74155 : Décodeur 1 à 8	54,80
MCM 4016 : RAM (128x8)	29,20
MCM 68708 : EPROM	181,80

INTEL

2708 : EPROM (1024 x 8)	148,00
8080 CPU	80,00
8085 CPU	242,00
8224 Horloge pour 8080	83,00
8251 USART	84,00
8255 : PPI	83,00
8253 : CRT	250,00

NATIONAL : Interface triple
- 1 Mc 8T26 : 19,40
- HE705, 06, 07, 08 : 69,20

Sur commande : Circuits SESCOSEM

WRAPPING (Verdan)

Fil à wrapper	12,00
Broches à wrapper : 1 à 16 : les 100	25,00
17 à 40 : les 100	39,00
Plaque perforée	38,00
Stylo à wrapper	92,00
Outil à wrapper	220,00

Supports à wrapper professionnels (plaque en) : profil supérieur
- 8 broches : 8,00 — 24 broches : 18,20
- 14 broches : 11,00 — 28 broches : 20,80
- 16 broches : 12,50 — 40 broches : 33,25
- 22 broches : 16,40

LIBRAIRIE TECHNIQUE

TECHNIQUES D'INTERFACE AUX MICROPROCESSEURS — En français — Réf. Os	89,00
LES MICROPROCESSEURS — Rodnay ZAKS — Parus le 6 Déc. — Réf. Cil	85,00
ORDINATEUR ET INFORMATIQUE — FM 16 SECONDE — P. MONNERON	30,00
THEORIE ET PRATIQUE DES MICRO-PROCESSEURS (matériels, logiciels, mise en œuvre) — R. ARGOUSE et H. LILEN	70,00
DU MICROPROCESSEUR AU MICRO-ORDINATEUR — H. LILEN	65,00
GUIDE MONDIAL DES MICROPROCESSEURS — H. LILEN	65,00
INITIATION A L'INFORMATIQUE — P. GRANDJEAN	45,00
50 JEUX AVEC VOTRE CALCULATRICE ELECTRONIQUE — E. SCHNEIDERMAN et J. BROSNAHAN	35,00
MICROPROCESSEUR ET SON UTILISATION	28,70
CATALOGUE TEXAS INSTRUMENTS — SEMINAIRE MICROPROCESSEUR 77	100,00
CATALOGUES INTEL (sur commande)	
DATA CATALOG 1977	70,00
MCS 80 USER'S MANUAL	80,00
8080 USER'S MANUAL	80,00
MCS 48 USER'S MANUAL	85,00
MEMORY DESIGN HANDBOOK	85,00
MCS 4040	85,00
CATALOGUE SESCOSEM MICROPROCESSEUR B.F.F.	66,00
CATALOGUES MOTOROLA M 6800 MICROPROCESSEUR PROGRAMMING MANUAL	36,00
M 6800 MICROPROCESSEUR APPLICATIONS MANUAL	100,00
DE L'ORDINATEUR... AU MICROPROCESSEUR	15,00
M 6800 PROGRAMMING REFERENCE MANUAL	30,00

Pour toute correspondance, écrire svp à : « SERVICE MICRO-SYSTEMES »

ACER — VENTE PAR CORRESPONDANCE

42, rue de Chabrol
75010 PARIS - Tél. 770-28-31
C.C. Postal 666-49 Paris

Les nouveaux « Monochips » d'Intersil

Intersil a pris la décision d'étendre sa présence dans le domaine des microprocesseurs aux applications « bas de gamme » par l'introduction de deux familles de monochip C-MOS.

Ces circuits seront des réalisations en technologie C-MOS des familles MCS 48 et UPI 41 (marques déposées Intel).

La première série comprendra les circuits C 8748, C 8048 et C 8049. Ces circuits doivent être échantillonnés pendant le dernier trimestre 1978 (C 8748) et pendant 1979 (C 8049 d'abord puis C 8048).

La seconde destinée aux applications de contrôle ou à la réalisation de périphériques intelligents comprendra les circuits C 8741 et C 8041 qui seront échantillonnés au cours de 1979 (C 8741 puis C 8041).

Le circuit d'extension E/S de ces deux familles sera aussi réalisé en technologie C-MOS (C 8243) et sera échantillonné en même temps que le C 8748. Il s'ajoutera à une gamme importante de périphériques en C-MOS : UART (IM 6402/03), Compteurs programmables (ICM 7226/27), Interface d'affichage (ICM 7218), Convertisseur A/N (ICL 7109).

Dans le cas des C 8748/8048/8049 les extensions mémoire C-MOS seront réalisés par les circuits déjà disponibles ou à paraître prochainement chez Intersil : RAM 512 x 8 (IM 6607) ou 1024 x 4 (IM 6514), ROM 2048 x 8 (IM 6316) et REPROM 512 x 8 (IM 6604) et 1024 x 4 (IM 6603).

Enfin le développement de ces familles sera supporté par les nouveaux microordinateurs Intercept I et II ainsi que des cartes de programmation (pour C 8748/8741) et de simulation (C 8049).

Intersil, 3, rue de Marly, 78000 Versailles. Tél. : 953.47.08.

BIBLIOTHEQUE SYBEX

DU CLAVIER AU DISQUE SOUPLE
(VIENT DE PARAITRE)

C207 — MICROPROCESSEUR INTERFACING TECHNIQUES. Austin Lesea et Rodnay Zaks. 350 p. (T.T.C. 70,62 F) 60 F
BEST SELLER AUX U.S.A.

C5 — TECHNIQUES D'INTERFACE AUX MICROPROCESSEURS (Version française de C207). Disponible Avril 78 (T.T.C. 99,23 F) 89 F

Vient de paraître

INTRODUCTION AUX MICRO-ORDINATEURS A USAGE PERSONNEL

Livres de base pour les non techniciens.

Disponible en français : novembre 78.

Prix : 49 F (62,43 F TTC)

PLUS DE 20 AUTRES TITRES
Catalogue gratuit sur demande.
POUR COMMANDER : port gratuit si le règlement est joint. Port en sus autrement. Ajouter 7 % T.v.a.

8 SEMINAIRES DE FORMATION SUR LES MICROPROCESSEURS PARIS 16 20 JANVIER

SYBEX Publications
313 rue Lecourbe
75015 PARIS
Tel. : 828.35.02 Telex 330311

INFORMATION/COMMANDE

Nom ..... Prénom .....
Société .....
Adresse .....
Ville ..... Tél. .....
Veuillez me faire parvenir ..... ex. du livre .....
Total joint ..... ☐ chèque ☐ facture mise
☐ veuillez me faire parvenir votre catalogue détaillé

Le Directeur de la publication : P. Vandilon - Imprimerie La Haye-Mesnil, 78130 Les Mureaux. Tél. : 965-56-15
N° de Commission paritaire en cours - Dépôt légal n° 12013

La distribution des microprocesseurs ?...
Notre conception :

- **2 laboratoires d'applications**
à la disposition de notre clientèle.

- **3 ingénieurs d'applications**
prêts à vous accueillir ou à vous rendre visite.

- **2 stocks Paris-Saint-Etienne**
de composants et de systèmes de développement.

- Des séminaires de formation.

- La livraison **sous 48 heures**
de systèmes de développement testés,
et mis en service par nos soins.

- Des documentations **en français**
(manuels d'applications des systèmes d'exploitation,
outils de développement, kit, etc.).

- Une **garantie** supplémentaire :
nous assurons nous-mêmes le service après-vente.

- L'organisation de conférences audio-visuelles
sur les nouveaux produits.

- Un service complet de documentation.

FEUTRIER SUD-EST
rue des Trois Glorieuses
42270 SAINT-PRIEST-EN-JAREZ
Tél. : 74.67.33 – Telex 300 021

FEUTRIER ILE-DE-FRANCE
29, rue Ledru-Rollin
92150 SURESNES – Telex 610 237
Tél. 772.46.46 (9 lignes groupées)

Distributeur officiel de :
MOTOROLA
Semiconducteurs S.A.

CARTES MICRO-ORDINATEUR ET SYSTEME DE DEVELOPPEMENT

RTC

Pour le développement et la mise au point en temps réel des systèmes 2650 ou 8048
Comprenant :

- l'assembleur
- le programme d'aide à la mise au point
- le pupitre de test en temps réel
- le programmateur des PROMS

Extension des cartes CPU 4K et CPU 8K/16K
16 voies de 8 digits cablables en sortie
en entrée ou en entrée/sortie
Sortie sur collecteur ouvert, tension 30 volts
courant max. 250 mA
Entrée compatible CMOS

signetics

INSTRUCTEUR 50

Destiné à l'initiation au microprocesseur, l'instructeur 50 comprend, avec le microprocesseur 2650, son boîtage et l'alimentation :

- 512 octets de RAM
- Deux claviers de 16 et 12 touches pour données et fonctions
- Un module d'affichage à 8 digits
- L'interface pour cassette audio
- Le bus d'expansion compatible S 100
- Le Moniteur USE (USER SYSTEM EXECUTIVE)

DISSEREL
32, Rue de TORCY
75018 Paris
Tél. : 203.60.02
Télex : 670 579

DISSEREL